

# SE681512A

## 5 V PCM 编解码滤波器

SE681512A 采用 CMOS 工艺，是一种通用的单通道 PCM 编解码器-滤波器，具有引脚可选  $\mu$  律或 A 律压扩功能。它采用 +5V 单电源供电电源，提供 20 引脚 DI-P、SOG 和 SSOP 三种封装。该器件实现了 PCM 系统所需的语音数字化和重建以及频带限制和平滑，并包含一个片内精密参考电压，可用于同步和异步应用。

SE681512A 内置一个输入运算放大器，其输出为编码器部分的输入。信号通过输入放大器后，随后使用有源 R-C 滤波器对模拟信号进行低通滤波，以消除开关电容滤波器引入的高频噪声调制到通带。信号通过有源 R-C 滤波器，模拟信号被转换为差分信号，从而降低反向和非反向信号路径的噪声影响。这种差分设计的另一个优点是，通过电源输入的噪声是共模信号，当反转和非反转信号重新组合时，共模信号被消除。这大大提高了电源抑制比。在差分转换器之后，模拟信号通过一个通带为 200 Hz~3400 Hz 差分开关电容滤波器，然后由差分压缩 A/D 转换器对信号进行数字化。

SE681512A 内置的解码器接收到 PCM 数据，并使用差分 D/A 转换器进行扩展。D/A 的输出后通过 3400 Hz 的低通滤波器和  $\sin X/X$  滤波器，随后由差动开关电容滤波器进行补偿。然后，信号通过有源 R-C 滤波器进行滤波，以消除开关电容滤波器的带外能量。

- 用于 W681512 的引脚更换
  - 单个 5v 电源
  - 典型功率耗散 15mw，功率下降 0.01 mW
  - 低噪音全差分模拟电路设计
  - 片上集成发送带通和接收低通滤波器
  - 通过引脚选择的  $\mu$  律或 A 律压扩功能
  - 片上精准参考电压 (1.575 V)
-

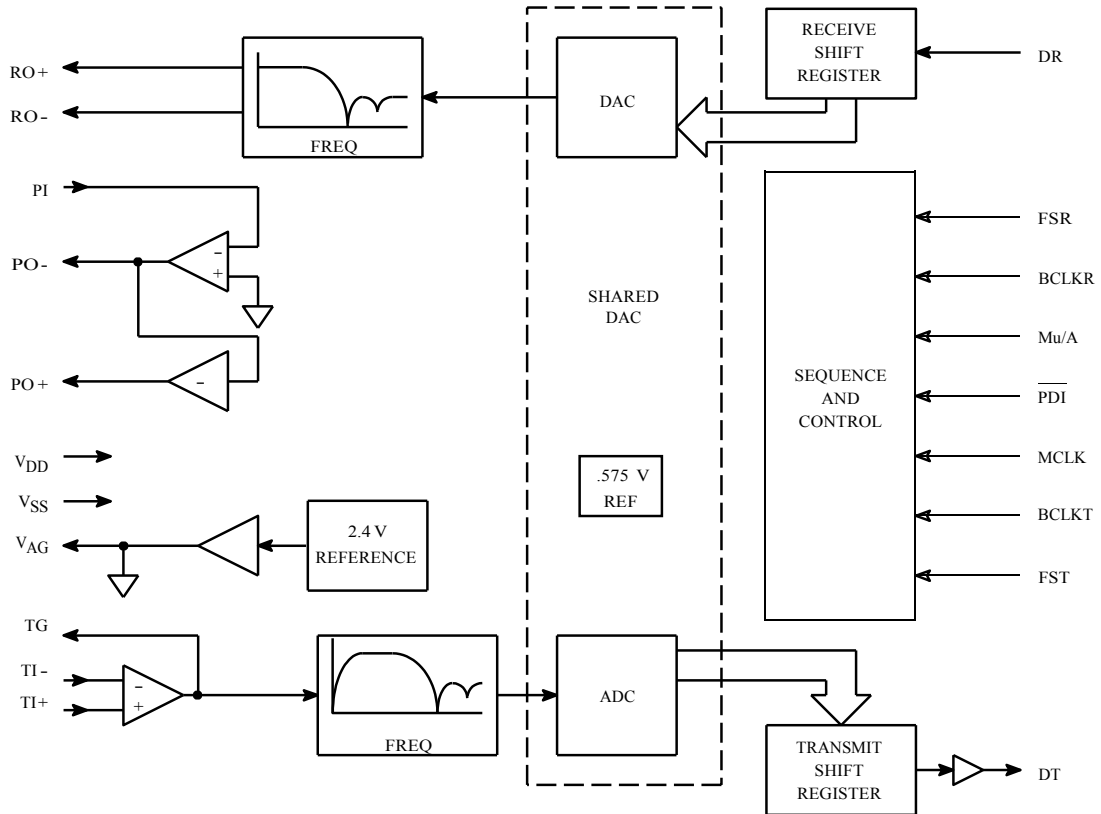


Figure 1. SE681512A PCM Codec-Filter Block Diagram

### DEVICE DESCRIPTION

采用 PCM 编解码滤波器对人声进行数字化和重构。这些设备主要用于电话网络，以方便语音交换和传输。一旦声音被数字化，它可以通过数字转换理论进行转换，并且不退化地远距离传输（T1、微波、卫星等）。codec 这个名字是“COder”和“DECOder”的首字母缩写，“COder”表示用于数字化语音的模数转换器（ADC），“DECOder”表示用于重构语音的数模转换器（DAC）。编解码器是同时进行 ADC 和 DAC 转换的单一设备。

数字化的声音需要在约 40 dB 的动态范围内达到约 30 dB 的信噪比。这可以通过一个线性的 13 位 ADC 和 DAC 来完成，但当振幅大于峰值振幅 40 dB 时，将远远超过所需的信噪比。这种额外的性能是以每个样本的数据为代价的。通过将 13 位线性方案压缩成 8 位伪对数方案，实现了两种数据缩减方法。两种压扩机制是:Mu-255 律，主要在北美和日本；A 律，主要在欧洲使用。这些压扩方案在世界范围内得到了广泛的应用。这些压缩方案遵循分段或“分段线性”曲线，格式为符号位、三个段落位和四个段内位。对于给定的段落，所有的 16 个段内值有相同的电压加权。随着模拟输入电压的增加，四个段内位增加并进位到三个段落位增量。当段落位增加时，段内位将其电压加权增加一倍。这将在 42 dB 的动态范围（0 以上 7 个段落，每个段落 6 个分贝）上产生 6 位（符号+段落+4 段内位）的有效分辨率。

在采样环境中，奈奎斯特理论认为，为了对连续信号进行适当的采样，必须以高于信号最高频率分量两倍的频率进行采样。声音包含 3 千赫以上的频谱能量，但它的缺失并不影响对声音传递信息的理解。数据率与采样率成正比，为了降低数字数据率，采样率采用 8 kHz，带宽为 3 kHz。采样需要低通滤波器来限制 3kHz 以上的高频能量以防止带内信号失真。电话线还受 50/ 60Hz 电源线耦合的影响，在模拟-数字转换器之前，必须通过高通滤波器对信号进行衰减。

数模转换过程重建的带内信号呈阶梯状，就是采样频率及其谐波调制的带内信号的频谱。这些频谱图像称为混叠分量，需要对其进行变窄以获得所需的信号。用来提取这些混叠分量的低通滤波器通常称为重构滤波器或平滑滤波器。

SE681512A PCM codec - filter 具有编解码器、预采样和重构滤波器、精确的片上参考电压，不需要外部组件。

## PIN DESCRIPTIONS

### 电源

#### VDD

#### 电源正极 (引脚 6)

电源正极, 通常与+5V 连接。引脚到 VSS 之间接 0.1  $\mu$ F 陶瓷电容器

#### VSS

#### 电源负极 (引脚 15)

电源负极接 0 电位

#### VAG

#### 模拟地输出端 (引脚 20)

该输出引脚提供一个调节至 2.4 V 的中间电源模拟接地。该引脚应使用 0.01  $\mu$ F~0.1  $\mu$ F 的陶瓷电容与 VSS 去耦。该设备内的所有模拟信号处理均参考该引脚。如果要处理的音频信号参考了 VSS, 则必须采取特殊预防措施以避免 VSS 和 VAG 引脚之间产生噪音。有关更多信息, 请参阅本文档中的应用程序信息。当设备处于断电模式时, VAG 引脚变为高阻抗。

### 控制

#### Mu/A

#### Mu/A 绿选择 (引脚 16)

该引脚控制编码器的压缩和解码器的扩展。当该引脚连接到 VDD 时, 选择 Mu-Law 压扩; 当该引脚连接到 VSS 时, 选择 A-Law 压扩。

#### PDI

#### 掉电输入端 (引脚 10)

当应用逻辑 0 时, 该引脚将器件置于低功耗模式。当该设备断电时, 所有的时钟都被关断, 所有的偏置电流都被关闭, 导致 RO+, RO-, PO-, PO+, TG, VAG 和 DT 成为高阻抗。当逻辑 1 被应用到这个引脚上时, 设备将正常工作。同时, 器件经过一个上电序列, 以防止 DT PCM 输出在至少两个 FST 周期内变为低阻抗。滤波器必须在 DT PCM 输出或 RO+或 RO-接收模拟输出为一个有效的模拟信号之前稳定。

### 模拟接口 TI+

#### 传输模拟输入 (非反向) (引脚 19)

这是发射输入增益设定运算放大器的非反相输入端。此引脚适应差分转单端电路的输入增益设定运放。可以使以 VSS 引脚为参考的输入信号以最小的噪声电平移位到 VAG 引脚。如果输入信号已经引用到 VAG 引脚, 则此引脚可以连接到反相放大器配置的 VAG 引脚。TI+和 TI-引脚的共模范围从 1.2 V 到 VDD - 2V。这是一个场效应晶体管输入。将 TI+引脚连接到 VDD 将使这个放大器的输出 (TG) 进入高阻抗状态, 从而允许 TG 引脚作为发送滤波器的高阻抗输入。

#### TI-

#### 传输模拟输入 (反相) (引脚 18)

这是发射增益设定运放的反相输入端。增益设定电阻通常从这个引脚连接到 TG, 从这个引脚连接到模拟信号源。TI+和 TI-引脚共模范围从 1.2 V 到 VDD - 2V。这是一个场效应晶体管输入。将 TI+引脚连接到 VDD 将使这个放大器的输出 (TG) 进入高阻抗状态, 从而允许 TG 引脚作为发送滤波器的高阻抗输入。

#### TG

#### 传输增益 (引脚 17)

这是发射增益设定运算放大器的输出和发射带通滤波器的输入。这个运放能够驱动 2k $\Omega$  负载。将 TI+引脚连接到 VDD 将使这个放大器的输出 (TG) 进入高阻抗状态, 从而允许 TG 引脚作为发送滤波器的高阻抗输入。此引脚上的所有信号都引用 VAG 引脚。当设备处于断电模式时, 这个引脚是高阻抗状态。

#### RO+

#### 接收模拟输出 (非反相) (引脚 1)

这是数模转换器中接收平滑滤波器的非反相输出。这个输出能够驱动 2k $\Omega$  负载到参考 VAG 引脚的 1.575 V 峰值。当设备处于断电模式时, 这个引脚是高阻抗状态。

#### RO-

#### 接收模拟输出 (反相) (引脚 2)

这是接收平滑滤波器从数模转换器的反相输出。这个输出能够驱动 2k $\Omega$  负载到参考 VAG 引脚的 1.575 V 峰值。当设备处于断电模式时, 这个引脚是高阻抗状态。

#### PI

#### 功率放大器输入 (引脚 3)

这是 PO-放大器的反相输入。PO-放大器的非反相输入内部连接到 VAG 引脚。PI 和 PO-引脚与外部电阻在反相运放增益电路中使用, 以设置 PO+和 PO-推挽功率放大器输出的增益。将 PI 连接到 VDD 将关闭功率驱动放大器和 PO+和 PO-输出将是高阻抗。

#### PO-

#### 功率放大器输出 (反相) (引脚 4)

这是反相功率放大器输出, 用于向 PI 引脚提供反馈信号来设置推挽功率放大器输出的增益。这个引脚能够驱动 300 $\Omega$  负载到 PO+。PO+和 PO-输出是差分形式 (推挽), 能够驱动 300  $\Omega$  负载到 3.15 V 峰值, 即 6.3 V 峰峰值。该输出的偏置电压和信号参考是 VAG 引脚。VAG 引脚不能提供或吸收与此引脚相同的电流, 因此低阻抗负载必须在 PO+和 PO-之间。将 PI 连接到 VDD 将关闭功率驱动放大器和 PO+和 PO-输出将是高阻。当设备被 PDI 引脚断电时, 这个引脚也是高阻。

## PO+

### 功率放大器输出（非反相）（引脚 5）

这是非反相功率放大器的输出端，它与 PO-处信号的反相。这个引脚能够驱动 300Ω 负载到 PO-。将 PI 连接到 VDD 将关闭功率驱动放大器和 PO+和 PO-输出将是高阻抗。当设备被 PDI 引脚断电时，这个引脚也是高阻。更多信息请参阅 PI 和 PO。

## 数字接口 MCLK

### 主时钟（引脚 11）

这是主时钟输入引脚。应用到这个引脚的时钟信号用于产生内部 256kHz 的时钟和序列信号，用于开关电容滤波器、ADC 和 DAC。内部的预分频器逻辑比较这个引脚上的时钟和 FST（8 kHz）的时钟，并将自动接受 256, 512, 1536, 1544, 2048, 2560 或 4096 kHz。对于 256 和 512 kHz 的 MCLK 频率，MCLK 必须同步且近似上升沿与 FST 对齐。为了在 1.536 MHz 及更高的频率下获得最佳性能，MCLK 应该是同步的，并且近似上升沿与 FST 上升沿对齐。在许多应用中，MCLK 引脚需和 BCLKT 引脚接在一起。

## FST

### 帧同步，发送（引脚 14）

该引脚接受一个 8kHz 的时钟，并同步输出的串行 PCM 数据在 DT 引脚。这个输入与各种标准兼容，包括 IDL、长帧同步、短帧同步和 GCI 格式。如果 FST 和 FSR 在几个 8 千赫帧内保持较低，设备进入断电状态。

## BCLKT

### 比特时钟，发送（引脚 12）

该引脚控制传输 PCM 数据的传输速率。在 IDL 和 GCI 模式下，它还控制接收 PCM 数据的传输速率。该引脚可以接受任何位时钟频率从 64 到 4096 kHz 的长帧同步和短帧同步。该引脚可以接受时钟频率从 256 kHz 到 4.096 MHz 的 IDL 模式，从 512 kHz 到 6.176 MHz 的 GCI 计时模式。

## DT

### 数据，发送（引脚 13）

该引脚由 FST 和 BCLKT 控制，除输出 PCM 数据外时输出高阻抗。当在 IDL 或 GCI 模式下工作时，数据在 FSR 选择的 B1 或 B2 通道中输出。当设备处于断电模式时，该引脚是高阻状态。

## FSR

### 帧同步、接收（引脚 7）

当在长帧同步或短帧同步模式下使用时，这个引脚接收一个 8kHz 的时钟，和 DR 引脚同步串行 PCM 输入数据同步。在长帧同步或短帧同步模式下，FSR 可以与 FST 异步。当使用 BCLKR 选择 ISDN 模式（IDL 或 GCI）时，该引脚选择 B1（逻辑 0）或 B2（逻辑 1）作为活动数据通道。

## BCLKR

### Bit 时钟，接收（引脚 9）

当使用在长帧同步或短帧同步模式，这个引脚接受从 64 到 4096 kHz 的任何位时钟频率。当这个引脚保持在逻辑 1 时，FST、BCLKT、DT 和 DR 进入 IDL 接口兼容模式。当这个引脚保持在逻辑 0，FST、BCLKT、DT 和 DR 进入 GCI 接口兼容模式。

## DR

### 数据，接收（引脚 8）

该引脚是 PCM 数据输入端，当在长帧同步或短帧同步模式下由 FSR 和 BCLKR 控制。在 IDL 或 GCI 模式下，该数据传输由 FST 和 BCLKT 控制。FSR 和 BCLKR 分别选择 B 信道和 ISDN 模式。

## 功能描述

### 模拟接口和信号路径

该设备的传输部分包括一个低噪音，三端运放，能够驱动一个 2kΩ 负载。该运放输入 TI+（pin19）和 TI-（pin18），输出 TG（pin17）。这个运算放大器要按照反相增益电路配置。通过将 TI+和 TI-输入连接到 VDD 电源，如果这个传输运放独立断电，模拟信号可以直接应用到 TG 引脚。当传输运放断电时，TG 引脚变成高阻抗。TG 引脚内部连接到一个三极抗混叠预滤波器。该预滤波器包含一个 2 极巴特沃斯有源低通滤波器，然后是一个无源单极滤波器。这个预滤波器之后是一个单端差分转换器，其时钟为 512 kHz。所有随后的模拟处理都采用全差分电路。下一节是一个全差分，5 极开关电容低通滤波器截止频率是 3.4 kHz。这个滤波器之后是一个三极开关电容高通滤波器，截止频率约为 200Hz。这个高通级在直流处有一个传输零点，消除了来自模拟输入的任何直流或来自之前的滤波器级积累运放偏置的任何直流分量。高通滤波器的最后一级是一个自动归零采样保持放大器。

发射和接收部分共用一个带隙电压基准发生器和数模转换器（DAC）。自动归零开关电容带隙基准产生精确的正、负参考电压，几乎不受温度和电源电压的影响。一个二元加权电容阵列（CDAC）形成压缩结构的段落，而一个电阻串（RDAC）实现每个段落中的线性步长。编码过程使用 DAC、电压基准和逐帧自动归零比较器来实现逐帧逼近转换算法。所有涉及数据转换的模拟电路（电压基准、RDAC、CDAC 和比较器）都是用差分架构实现的。

接收部分包括上述 DAC，一个采样和保持放大器，一个带有  $\sin X/X$  校正的 5 极 3400hz 开关电容低通滤波器，以及一个 2 极有源平滑滤波器，以减少开关电容滤波器的频谱成分。平滑滤波器的输出由一个放大器进行缓冲，放大器输出在 RO+ 和 RO- 引脚。这些输出能够驱动 4k $\Omega$  差分负载或 2k $\Omega$  负载到 VAG 引脚。SE681512A 还具有一对以推挽配置连接的功率放大器。PI 引脚是 PO- 功率放大器的反相输入。非反相输入端内部绑定到 VAG 引脚。这使得该放大器可以用于具有两个外部电阻的反相增益电路。PO+ 放大器的增益为 -1，内部连接到 PO- 输出。这个完整的功率放大器电路是一个具有可调增益的差动（推挽）放大器，能够驱动 300 $\Omega$  负载到 +12 dBm。通过将 PI 引脚连接到 VDD，功率放大器可以独立于芯片的其余部分断电。

### 电源休眠

有两种方法可以使设备进入低功耗模式，这使得设备停止工作，几乎不消耗电流。PDI 是掉电输入引脚，当取低时，掉电设备。另一种关闭设备电源的方法是保持 FST 和 FSR 引脚低。芯片下电时，VAG、TG、RO+、RO-、PO+、PO-、DT 输出为高阻抗输出。为了使芯片回到上电状态，PDI 必须为高，并且 FST 帧同步脉冲必须存在。上电后，DT 输出至少在两个 FST 脉冲中保持高阻抗状态。

### 主时钟

由于这个编解码滤波器设计有一个 DAC 架构，所以 MCLK 引脚被用作所有模拟信号处理的主时钟，包括模数转换，数模转换，以及这个设备的发送和接收滤波功能。适用于 MCLK 引脚的时钟频率可以是 256 kHz、512 kHz、1.536 MHz、1.544 MHz、2.048 MHz、2.56 MHz 或 4.096 MHz。该装置有一个预分频器，自动确定适当的分频比，用于 MCLK 输入，实现所需的 256kHz 内部测序时钟。MCLK 输入的时钟要求是独立于 PCM 数据传输模式（即长帧同步、短帧同步、IDL 模式或 GCI 模式）的。

### 数字 I/O

SE681512A 是针的  $\mu$  律或 A 律可选。表 1 显示了两压缩方案的正、负 0 和全量程的 8 位数据字格式（完整的 PCM 字转换表见本文档末尾的表 3 和表 4）。表 2 显示了对应于数字毫瓦的  $\mu$  律和 A 律的八个 PCM 字的系列。数字 mW 是由 DAC 重构的 1kHz 校准信号，它定义了 DAC 的绝对增益或 0dbm0 传输电平点 (TLP)。 $\mu$  律的 0dbm0 电平比无限幅音调信号的最大电平低 3.17 dB。A 律的 0 dBm0 电平比无限幅音调信号的最大电平低 3.14 dB。PCM 数据传输的时间与所选的压缩方案无关。本设备四种 PCM 数据接口模式的汇总和比较如图 2 所示。

**Table 1. PCM 零量程和满量程码**

| 电平     | $\mu$ 律 |     |      | A 律 |     |      |
|--------|---------|-----|------|-----|-----|------|
|        | 极性位     | 段落位 | 段内位  | 极性位 | 段落位 | 段内位  |
| 正满幅    | 1       | 000 | 0000 | 1   | 010 | 1010 |
| + Zero | 1       | 111 | 1111 | 1   | 101 | 0101 |
| - Zero | 0       | 111 | 1111 | 0   | 101 | 0101 |
| 负满幅    | 0       | 000 | 0000 | 0   | 010 | 1010 |

**Table 2. PCM Codes for Digital mW**

| 相位        | $\mu$ 律 |     |      | A 律 |     |      |
|-----------|---------|-----|------|-----|-----|------|
|           | 极性位     | 段落位 | 段内位  | 极性位 | 段落位 | 段内位  |
| $\pi/8$   | 0       | 001 | 1110 | 0   | 011 | 0100 |
| $3\pi/8$  | 0       | 000 | 1011 | 0   | 010 | 0001 |
| $5\pi/8$  | 0       | 000 | 1011 | 0   | 010 | 0001 |
| $7\pi/8$  | 0       | 001 | 1110 | 0   | 011 | 0100 |
| $9\pi/8$  | 1       | 001 | 1110 | 1   | 011 | 0100 |
| $11\pi/8$ | 1       | 000 | 1011 | 1   | 010 | 0001 |
| $13\pi/8$ | 1       | 000 | 1011 | 1   | 010 | 0001 |
| $15\pi/8$ | 1       | 001 | 1110 | 1   | 011 | 0100 |

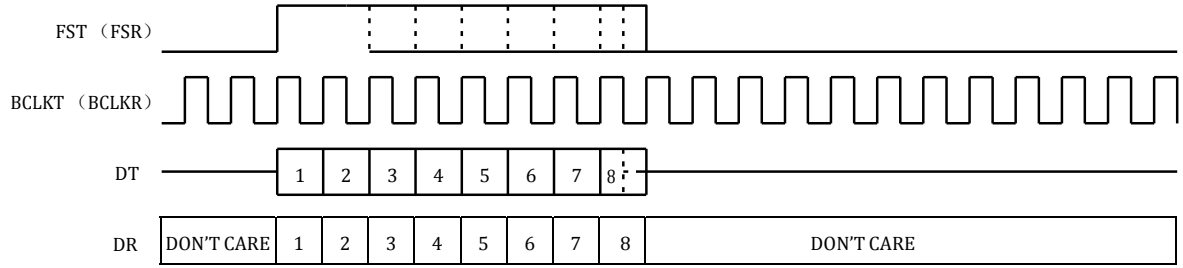


图 2a. 长帧同步（发送和接收有单独的时钟）

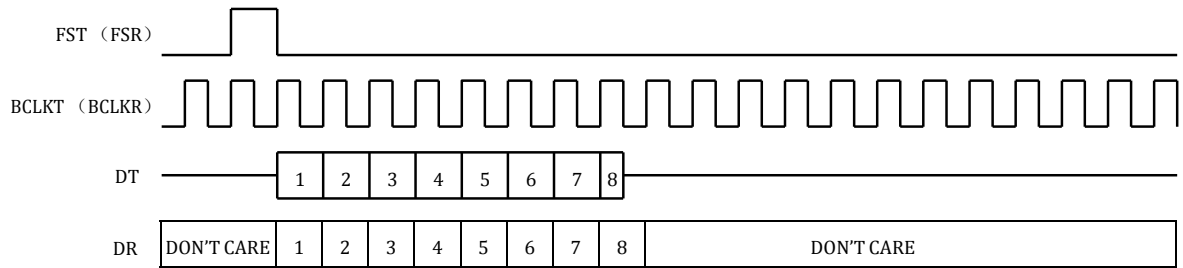


图 2b. 短帧同步（发送和接收有单独的时钟）

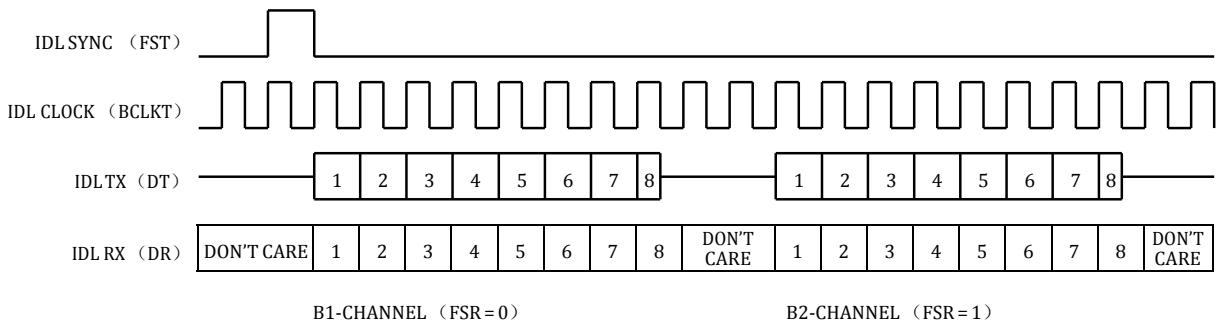


图 2c. IDL Interface — BCLKR = 1（发送和接收有共同的时钟）

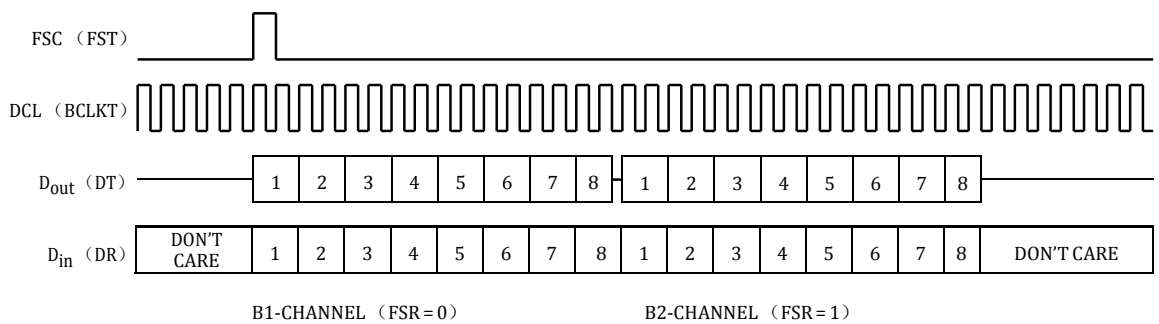


图 2d. GCI Interface — BCLKR = 0（发送和接收有共同的时钟）

Figure 2. PCM数据接口的数字时序模式

## 长帧同步

长帧同步是一种控制 PCM 数据字传输的时钟格式的行业名称。（见图 2a）“帧同步”或“使能”用于两个特定的同步功能。一是同步 PCM 数据的字传输，二是控制内部模数转换和数模转换。术语“同步”指的是将 PCM 数据字同步到多路串行 PCM 数据总线或从多路串行 PCM 数据总线上输出的功能，这也被称为 PCM 高速公路。术语“长”来自于以 PCM 数据时钟周期测量的帧同步持续时间。当帧同步被直接用作 PCM 数据输出驱动时，长帧同步计时发生。这导致 PCM 输出随着发送帧同步的上升沿而保持低阻抗，并在发送帧同步的持续时间内保持低阻抗。

长帧同步的实现保持了兼容性，并为外部时钟的简单性进行了优化。这种优化包括在发送帧同步（FST）与发送数据时钟（BCLKT）的逻辑与运算的同时 PCM 数据输出低阻抗，还包括 PCM 数据输出（DT）保持低阻抗，直到 LSB 的中间（七个半 PCM 数据时钟周期）或直到 FST 引脚被取低，以最后发生的为准。这要求帧同步大致上与 PCM 数据字传输的起始点对齐，但帧同步对 PCM 数据字传输结束没有精确的时间要求。当发送数据时钟的两个连续下降沿的帧同步被保持在高时，设备识别长帧同步时钟。传输逻辑决定了下一个帧同步脉冲是长帧同步还是短帧同步。这种判决也用于接收电路。该设备设计了防止 PCM 总线竞争机制，它不允许 PCM 数据输出在上电后或从断电模式出来后至少两个帧同步周期内为低阻抗。

该设备的接收端被设计成与发送端相同的帧同步和数据时钟，并能够锁存自己发送的 PCM 数据字。因此，PCM 数字交换机仅需要产生一种类型的帧同步，供设备的发送和接收部分使用。

接收帧的逻辑和与接收数据时钟同步，告诉设备开始锁存 8 位串行字至接收数据时钟下降沿的接收数据输入端。内部接收逻辑计算接收数据时钟周期，并在第九个数据时钟上升沿将 PCM 数据字传输到数模转换器音序器。

该设备兼容四种数字接口模式。为了确保该设备不会为不同的计时模式重新编程，BCLKR 引脚必须至少每 125  $\mu$  秒改变一次逻辑状态。满足这一要求，PCM 数据位的最小时钟频率为 64kHz。

## 短帧同步

短帧同步是控制 PCM 数据字传输的时钟格式类型的行业名称（参见图 2b）。“帧同步”或“使能”用于两个特定的同步功能。一是同步 PCM 数据的字传输，二是控制内部模数转换和数模转换。术语“同步”指的是将 PCM 数据字同步到多路串行 PCM 数据总线或从多路串行 PCM 数据总线上输出的功能，这也被称为 PCM 高速公路。术语“短”来自于以 PCM 数据时钟周期衡量的帧同步持续时间。当帧同步被用作“预同步”脉冲时，短帧同步计时发生，用来告诉内部逻辑在完全控制的数据时钟下时钟出 PCM 数据字。当数据时钟边缘下降时，短帧同步被保持在高位。该器件输出的 PCM 数据字从数据时钟的下一个上升沿开始。这导致 PCM 输出与传输数据时钟的上升沿保持低阻抗，并保持低阻抗直到 LSB 的中间（7 个半 PCM 数据时钟周期）。

当帧同步在发送数据时钟的一个且仅一个下降沿保持高时，设备识别短帧同步时钟。传输逻辑决定了下一个帧同步脉冲是长帧同步还是短帧同步。这最终判决也用于接收电路。该设备设计了防止 PCM 总线争用机制，它不允许 PCM 数据输出在上电后或从断电模式出来后至少两个帧同步周期内保持低阻抗。

该设备的接收端被设计成与发送端相同的帧同步和数据时钟，并能够锁存自己发送的 PCM 数据字。因此，PCM 数字交换机仅需要能够产生一种类型的帧同步，供设备的发送和接收部分使用。

接收数据时钟的下降沿在接收帧同步输入上锁住一个高逻辑电平，告诉设备在接收数据时钟的下面 8 个下降沿上开始锁住 8 位串行字到接收数据输入。内部接收逻辑计数接收数据时钟周期，在 LSB 锁存到设备后，并将 PCM 数据字在数据时钟的上升沿传输到数模转换器音序器。

该设备兼容四种数字接口模式。为了确保该设备不会为不同的计时模式重新编程，BCLKR 引脚必须至少每 125  $\mu$  秒改变一次逻辑状态。满足这一要求，PCM 数据位的最小时钟频率为 64kHz。

## 片间数字连接（IDL）

芯片间数字链路（IDL）接口是两种标准的同步 2B+D ISDN 时序接口模式之一，该设备与之兼容。在 IDL 模式下，设备可以在两个 64kbps B 通道中的任意一个进行通信（采样计时参见图 2c）。当 BCLKR 引脚在两个或多个 FST（IDL 同步）上升沿保持高时，选择 IDL 模式。控制发送和接收 PCM 字传输的数字引脚被重新编程以适应这种模式。受影响的引脚有：FST、FSR、BCLKT、DT 和 DR。IDL 接口由 4 个引脚组成：IDL SYNC（FST）、IDL CLK（BCLKT）、IDL TX（DT）和 IDL RX（DR）。IDL 接口模式通过 IDL Sync 和 IDL Clock 的共同控制时钟，提供了对 PCM 数据字的收发访问。在这种模式下，FSR 引脚控制选择 B1 通道或 B2 通道用于发送和接收 PCM 数据字传输。当 FSR 引脚低时，发送和接收 PCM 字在 B1 通道传输，FSR 高时选择 B2 通道。B2 通道的起始时间是 B1 通道启动后的 10 个 IDL CLK 周期。

IDL 同步（FST，引脚 14）是 IDL 帧同步信号的输入。该引脚的信号在 IDL 时钟的一个周期内为高，并且上升沿与 IDL 时钟信号对齐。（详细信息请参见图 4 和 IDL Timing 规范。）这个事件标识了 IDL 帧的开始。IDL 同步信号的频率为 8 kHz。IDL 同步（FST）的上升沿应该近似地与 MCLK 的上升沿对齐。MCLK 必须是数字转换特性表中指定的时钟频率之一，通常与 IDL CLK（BCLKT）绑定。

IDL CLK（BCLKT，pin12）是 PCM 数据时钟的输入端。所有的 IDL PCM 传输和数据控制顺序都是由这个时钟在 IDL 同步之后控制的。这个引脚接受 256kHz 到 4.096 MHz 的 IDL 数据时钟频率。

IDL TX (DT, pin13) 是传输 PCM 数据字的输出端。在 IDL 同步脉冲后开始的 IDL CLK 信号的上升沿, B1 通道依次输出数据位。如果选择了 B2 通道, 则在 IDL 同步脉冲后的第 11 个 IDL CLK 上升沿开始 PCM 字传输。在传输 PCM 字的整个过程中, IDL TX 引脚将保持低阻抗, 直到 IDL CLK 下降沿到达 LSB。当不输出 PCM 数据或有效的 IDL 同步信号丢失时, IDL TX 引脚将保持在高阻抗状态。

IDL RX (DR, pin8) 是接收 PCM 数据字的输入端。在 IDL 同步脉冲后开始的 IDL CLK 信号的下降沿, B1 通道依次输入数据位。如果选择了 B2 通道, 则在 IDL 同步脉冲后的第 11 个 IDL CLK 下降边开始锁存 PCM 字。

### 通用电路接口 (GCI)

通用电路接口 (GCI) 是两种标准同步 2B+D ISDN 时序接口模式的第二种模式, 该设备与之兼容。在 GCI 模式下, 设备可以在两个 64kbps 的 B 通道中进行通信。(采样时间参照图 2d) 当 BCLKR 引脚在两个或更多的 FST (FSC) 上升沿保持低电平时, GCI 模式被选择。控制发送和接收 PCM 字传输的数字引脚被重新编程以适应这种模式。受影响的引脚有 FST、FSR、BCLKT、DT、DR。GCI 接口由 FSC (FST)、DCL (BCLKT)、Dout (DT)、Din (DR) 四个引脚组成。GCI 接口模式通过 FSC (帧同步时钟) 和 DCL (数据时钟) 的共同控制时钟, 提供对 PCM 数据字的收发访问。在这种模式下, FSR 引脚控制选择 B1 通道或 B2 通道用于发送和接收 PCM 数据字传输。当 FSR 引脚为低时, 发送和接收 PCM 字在 B1 通道传输, FSR 为高时选择 B2 通道。B2 通道的开始是 B1 通道开始后的 16 个 DCL 周期。

FSC (FST, 引脚 14) 是 GCI 帧同步信号的输入端。该引脚信号与 DCL 时钟信号的上升沿对齐。(详细信息请参见图 6 和 GCI Timing 规范。) 此事件标识 GCI 帧的开始。FSC 同步信号的频率为 8 kHz。FSC (FST) 的上升沿应该近似与 MCLK 的上升沿对齐。MCLK 必须是数字开关特性表中指定的时钟频率之一, 通常与 DCL (BCLKT) 绑定。

DCL (BCLKT, pin12) 是控制 PCM 数据传输的时钟的输入端。应用时 DCL 输入的时钟是实际 PCM 数据速率的两倍。GCI 帧从 FSC 和 DCL 的逻辑与开始。此事件标志着 PCM 数据字传输开始发送。该引脚接受的 GCI 数据时钟频率为 512 kHz 至 6.176 MHz, PCM 数据率为 256 kHz 至 3.88 MHz。

GCI Dout (DT, pin13) 是传输 PCM 数据字的输出端。从 FSC 脉冲开始, 在 DCL 时钟信号的间隔上升沿 B1 通道输出数据位。如果选择了 B2 通道, 则 PCM 字传输从 FSC 上升沿之后的第 17 个 DCL 上升沿开始。Dout 引脚将保持低阻抗为 15-1/2 DCL 时钟周期。在 PCM 字的 LSB 过程中, DCL 时钟的第二个下降边之后, Dout 引脚成为高阻抗。当不输出 PCM 数据或有效的 FSC 信号丢失时, Dout 引脚将保持在高阻抗状态。

Din (DR, pin8) 是接收 PCM 数据字的输入端。从 FSC 脉冲上升沿之后的第二个 DCL 时钟开始, 在 DCL 时钟信号的间隔上升沿上 B1 通道的数据被锁存。如果选择了 B2 通道, 则 PCM 字在 FSC 上升沿之后的第 18 个 DCL 上升沿开始被锁存。

### 印刷电路板布局的考虑

SE681512A 采用高速 CMOS VLSI 技术制造, 实现 PCM 编解码滤波器的复杂模拟信号处理功能。该器件采用全差分模拟电路设计技术, 使开关电容滤波器、模数转换器 (ADC) 和深模转换器 (DAC) 具有优越的性能。特别注意这一设计, 可以降低噪音的敏感性, 包括电源排斥和对无线电频率噪音的敏感性。本设计中还应注意的是一个五阶低通滤波器, 然后是一个三阶高通滤波器, 其输出被转换成一个动态范围大于 75 dB 的数字信号, 所有这些都集中在一个 5V 电源上工作。这导致了一个  $\mu$  律 LSB 大小的小音频信号约 386  $\mu$ V。该装置的典型空闲信道噪声水平小于一个 LSB。除了该装置的编解码滤波功能的动态范围外, 输入增益可调运放还具有大于 35 dB 增益的能力用于麦克风接口。

该设备是为易于实现而设计的, 但由于该设备 (数字交换机、无线电话、DSP 前端等) 的大动态范围和环境噪声性质, 必须特别注意以确保最佳的模拟传输性能。

## 印刷电路板装配

建议将设备焊接到 PC 板上，以获得最佳的噪声性能。如果设备是在插座中使用，它应该放置在一个低寄生引脚电感（通常，低调）插座。

### 考虑电源、接地、噪声等因素

此设备旨在用于交换应用，这往往需要插拔 PC 板到机架与电源应用。这就是所谓的“热插拔”。“在这些应用中，应该注意限制任何引脚的电压从 VDD 引脚的正，或 VSS 引脚的负。一种方法是延长 PCB 连接器的接地和电源触点。该设备在所有引脚上都有输入保护，并且可以在不损坏的情况下输入或接收有限的电流。限流可以通过在信号引脚和连接器接点之间串联电阻来实现。

PCB 布局最重要的考虑是处理噪声。这包括电源上的噪声，设备上的数字电路产生的噪声，以及将数字或射频信号交叉耦合到该设备的音频信号。防止噪音的最好方法是：

11. 数字信号尽量远离音频信号。
12. 保持无线电频率信号尽可能远离音频信号。
13. 使用短，低电感的音频线路，以减少感应，电容和射频噪声敏感性。
14. 使用短，低电感数字和射频电路的线路，以减少感应，电容和射频辐射噪声。
15. 旁路电容应该从 VDD 和 VAG 引脚连接到 VSS，导线长度最小。约 0.1 F 的陶瓷单片电容器可以将器件从自身噪声中解耦出来。VDD 电容有助于提供数字电路的瞬时电流，此外还可以解耦设备的其他部分或电源上的其他电路可能产生的噪声。VAG 解耦电容有助于降低 VAG 引脚在超过 VAG 发生器带宽的频率下对 VSS 的阻抗，从而降低对 RF 噪声的敏感性。
16. 使用短，宽，低电感线连接 VSS 接地引脚到电源接地。VSS 引脚是数字接地，也是模拟电路中最负的电源引脚。所有的模拟信号处理都参考了 VAG 引脚，但是因为数字和射频电路可能共用一个地，所以必须最小化 VSS 线路中的高频噪声。根据不同的应用，双面 PCB 中用一个 VSS 接地连接所有的数字和模拟 VSS 引脚将是一个很好的接地方法。同样多层 PCB 中将所有数字和模拟 VSS 引脚连接在一起接地将是最理想的接地方案。这些方法将使接地电路的电阻和电感达到最低。这对于减少由高速数字电流尖峰引起的地线中的电压尖峰是很重要的。数字感应电压尖峰的幅度可能是设备数字化所需的模拟信号的数百倍。
17. 使用短，宽，低电感线连接 VDD 电源引脚到 5v 电源。根据应用的不同，如上所述，在双面 PCB 中用 VDD 到 VSS 的旁路电容可以完成电源的低阻抗耦合。对于有电源平面的多层 PC 板，将 VDD 的所有引脚都连接到电源平面上是最优的功率分配方式。5v VDD 电源电路的集成电路布局和封装方面的考虑与 VSS 接地电路基本相同。
18. VAG 引脚是所有模拟信号处理的参考。在某些应用中，要数字化的音频信号可以参考 VSS 地面。为了降低 ADC 输入端对噪声的敏感性，三端运放可用于差分到单端电路中，提供从 VSS 地到 VAG 地的电平转换，并消除噪声。在麦克风接口电路中，运放增益超过 35 dB，这将需要一个紧凑的布局，具有最小的布线长度，并与噪声源隔离。建议布局尽可能对称，以避免任何不平衡，这将减少这种差分运算放大器电路的噪声抵消的好处。有关此电路的示例，请参阅应用原理图。如果可能，将音频信号以 VAG 引脚为参考而不是 VSS 引脚。手机接收器和电话线接口电路中可以使用变压器音频信号完全以 VAG 引脚为参考。有关这个电路的例子，请参阅应用原理图。VAG 引脚不能用于 ESD 或线路保护。
19. 对于使用多个 SE681512A PCM 编解码滤波器的应用，VAG 引脚不能接在一起。VAG 引脚能够提供和抽取电流，并且每个引脚都会驱动节点，这将导致较大的竞争电流、串扰灵敏度和噪声增加。
20. SE681512A 采用的高速 CMOS 技术制造，能够对时钟引脚上 1 ns 或更少的噪声脉冲做出响应。应该注意的是，这种短时间的噪声脉冲在带宽小于 600 兆赫兹的示波器上是看不到的。最常遇到的时钟噪声尖峰源是电感或电容耦合的高速逻辑信号，和接地反弹。对于耦合引起的寻址时钟峰值的最佳解决方案是分离布线和使用短低电感 PC 板布线。为了解决接地反弹问题，所有集成电路都应该有高频旁路电容直接穿过它们的电源引脚，并为接地和电源提供低电感的通路。一个不太理想的解决方案是通过在输入引脚处增加串联电阻和/或电容来限制带宽。

**最大范围** (参考VSS引脚的电压)

|               | 符号               | 值  | 单位 |
|---------------|------------------|--|----|
| 直流电源电压        | V <sub>DD</sub>  | - 0.5 to 6                                     | V  |
| 模拟输入或输出引脚上的电压 |                  | V <sub>SS</sub> - 0.3 to V <sub>DD</sub> + 0.3 | V  |
| 数字输入或输出引脚上的电压 |                  | V <sub>SS</sub> - 0.3 to V <sub>DD</sub> + 0.3 | V  |
| 工作温度范围        | T <sub>A</sub>   | - 40 to + 85                                   | °C |
| 存储温度          | T <sub>stg</sub> | - 85 to +150                                   | °C |

**供电电源** (T<sub>A</sub> = - 40 to + 85°C)

| 特征                                     | 最小   | 典型          | 最大        | 单位 |
|--|--|-------------|-----------|----|
| 直流电源电压                                 | 4.75   | 5.0         | 5.25      | V  |
| 动态功耗 (V <sub>DD</sub> = 5 V)           | (No Load, P <sub>I</sub> ≥ V <sub>DD</sub> - 0.5 V)<br>—   | <b>15</b>   | <b>24</b> | mW |
|  | (No Load, P <sub>I</sub> ≤ V <sub>DD</sub> - 1.5 V)<br>—   | <b>15</b>   | <b>25</b> | mW |
| 掉电功耗 (逻辑电平的V <sub>IH</sub> 必须是≥ 3.0 V) | $\overline{PDI} = V_{SS}$<br>—                             | 0.01        | 0.5       | mW |
|  | FST and FSR = V <sub>SS</sub> , PDI = V <sub>DD</sub><br>— | <b>0.05</b> | 1.0       | mW |

**数字电平** (V<sub>DD</sub> = + 5 V ± 5%, V<sub>SS</sub> = 0 V, T<sub>A</sub> = - 40 to + 85°C)

| 特征   | 符号               | 最小                    | 最大   | 单位 |
|--|------------------|-----------------------|------|----|
| 输入低电平  | V <sub>IL</sub>  | —                     | 0.6  | V  |
| 输入高电平  | V <sub>IH</sub>  | 2.4                   | —    | V  |
| 输入低电平 (DT Pin, I <sub>OL</sub> = 2.5 mA)                     | V <sub>OL</sub>  | —                     | 0.4  | V  |
| 输入高电平 (DT Pin, I <sub>OH</sub> = - 2.5 mA)                   | V <sub>OH</sub>  | V <sub>DD</sub> - 0.5 | —    | V  |
| 输入低电流 (V <sub>SS</sub> ≤ V <sub>in</sub> ≤ V <sub>DD</sub> ) | I <sub>IL</sub>  | - 10                  | + 10 | μA |
| 输入高电流 (V <sub>SS</sub> ≤ V <sub>in</sub> ≤ V <sub>DD</sub> ) | I <sub>IH</sub>  | - 10                  | + 10 | μA |
| 输出电流处于高阻抗状态 (V <sub>SS</sub> ≤ DT ≤ V <sub>DD</sub> )        | I <sub>OZ</sub>  | - 10                  | + 10 | μA |
| 数字引脚输入电容 (Except DT)   | C <sub>in</sub>  | —                     | 10   | pF |
| DT引脚高阻时的输入电容   | C <sub>out</sub> | —                     | 15   | pF |



模拟电特性 ( $V_{DD} = +5\text{ V} \pm 5\%$ ,  $V_{SS} = 0\text{ V}$ ,  $T_A = -40\text{ to } +85^\circ\text{C}$ )

| 特征   |                           | 最小         | 典型         | 最大                               | 单位               |
|--|---------------------------|------------|------------|----------------------------------|------------------|
| 输入电流   | TI+, TI-                  | —          | $\pm 0.1$  | $\pm 1.0$                        | $\mu\text{A}$    |
| 对VAG的输入电阻 ( $V_{AG} - 0.5\text{ V} \leq V_{in} \leq V_{AG} + 0.5\text{ V}$ )                                   | TI+, TI-                  | 10         | —          | —                                | $\text{M}\Omega$ |
| 输入电容   | TI+, TI-                  | —          | —          | 10                               | pF               |
| TG运放输入失调电压   | TI+, TI-                  | —          | —          | $\pm 5$                          | mV               |
| 共模输入电压范围   | TI+, TI-                  | 1.2        | —          | $V_{DD} - 2.0$                   | V                |
| 输入共模抑制比  | TI+, TI-                  | —          | 60         | —                                | dB               |
| TG运放增益带宽积 (10 kHz) ( $R_L \geq 10\text{ k}\Omega$ )  |                           | —          | 3000       | —                                | kHz              |
| TG运放直流开环增益 ( $R_L \geq 10\text{ k}\Omega$ )  |                           | —          | 95         | —                                | dB               |
| TG运放TI+ 和 TI-之间等效输入噪声 (C-Message)  |                           | —          | -30        | —                                | dBrnC            |
| 37/5000  |                           | 0          | —          | 100                              | pF               |
| TG输出电压范围<br>( $R_L = 10\text{ k}\Omega$ to $V_{AG}$ )<br>( $R_L = 2\text{ k}\Omega$ to $V_{AG}$ )              |                           | 0.5<br>1.0 | —<br>—     | $V_{DD} - 0.5$<br>$V_{DD} - 1.0$ | V                |
| 输出电流 ( $0.5\text{ V} \leq V_{out} \leq V_{DD} - 0.5\text{ V}$ )  | TG, RO+, RO-              | $\pm 1.0$  | —          | —                                | mA               |
| 到VAG的输出负载电阻  | TG, RO+, and RO-          | 2          | —          | —                                | $\text{k}\Omega$ |
| 输出阻抗 (0 to 3.4 kHz)  | RO+ or RO-                | —          | 1          | —                                | $\Omega$         |
| 输出负载电容   | RO+ or RO-                | 0          | —          | 500                              | pF               |
| RO+ 和 RO-DC 输出失调电压- 参考VAG  |                           | —          | —          | $\pm 25$                         | mV               |
| VAG 输出电压 参考VSS (无负载)   |                           | 2.2        | 2.4        | 2.6                              | V                |
| VAG 输出电流 (当输出电压在 $\pm 25\text{ mV}$ 变化时)   |                           | $\pm 2.0$  | $\pm 10$   | —                                | mA               |
| 电源抑制比<br>(0 to 100 kHz @100 mVrms Applied to $V_{DD}$ .<br>C-Message Weighting, 所有模拟信号都以<br>VAG Pin为参考)        | Transmit<br>Receive       | 50<br>50   | 80<br>75   | —<br>—                           | dBC              |
| <b>功率驱动 PI, PO+, PO-</b>   |                           |            |            |                                  |                  |
| 输入电流 ( $V_{AG} - 0.5\text{ V} \leq P_I \leq V_{AG} + 0.5\text{ V}$ )   | PI                        | —          | $\pm 0.05$ | $\pm 1.0$                        | $\mu\text{A}$    |
| 输入电阻 ( $V_{AG} - 0.5\text{ V} \leq P_I \leq V_{AG} + 0.5\text{ V}$ )   | PI                        | 10         | —          | —                                | $\text{M}\Omega$ |
| 输入失调电压   | PI                        | —          | —          | $\pm 20$                         | mV               |
| 输出偏置电压PO+相对PO- (PO-为反向单位增益)  |                           | —          | —          | $\pm 50$                         | mV               |
| 输出电流 ( $V_{SS} + 0.7\text{ V} \leq P_{O+}$ or $P_{O-} \leq V_{DD} - 0.7\text{ V}$ )                            |                           | $\pm 10$   | —          | —                                | mA               |
| PO+或PO-输出电阻 (PO-为反向单位增益)   |                           | —          | 1          | —                                | $\Omega$         |
| 增益带宽积 (10 kHz, PO-为开环)   |                           | —          | 1000       | —                                | kHz              |
| 负载电容 (PO+ 或 PO- 到 $V_{AG}$ , 或 PO+到 PO-)   |                           | 0          | —          | 1000                             | pF               |
| PO+相对于PO-的增益 ( $R_L = 300\ \Omega$ , +3 dBm0, 1 kHz)   |                           | -0.2       | 0          | +0.2                             | dB               |
| 总信号失真 (PO+和PO-之间带300 $\Omega$ 差分负载)  |                           | 45         | 60         | —                                | dBC              |
| 电源抑制比<br>(0 to 4 kHz<br>(0 to 25 kHz @ 100 mVrms Applied to $V_{DD}$ .<br>PO- 连接到 PI. 所有模拟信号都以<br>VAG Pin为参考.) | 0 to 4 kHz<br>4 to 25 kHz | 40<br>—    | 55<br>40   | —<br>—                           | dB               |

**模拟传输性能**

( $V_{DD} = +5V \pm 5\%$ ,  $V_{SS} = 0V$ , 所有模拟信号都以VAG为参考,  $0\text{ dBm} = 0.775\text{ Vrms} = +0\text{ dBm} @ 600\ \Omega$ ,  $F_{ST} = F_{SR} = 8\text{ kHz}$ ,  $BCLKT = MCLK = 2.048\text{ MHz}$ 同步操作,  $T_A = -40\text{ to } +85^\circ\text{C}$ , 除非另外注明)

| 特征  | 端到端                                   |     | 模/数   |            | 数/模   |            | 单位            |               |
|---|---------------------------------------|-----|-------|------------|-------|------------|---------------|---------------|
|   | 最小                                    | 最大  | 最小    | 最大         | 最小    | 最大         |               |               |
| 绝对增益 (0 dBm0 @ 1.02 kHz, $T_A = 25^\circ\text{C}$ , $V_{DD} = 5.0\text{ V}$ )                                     | —                                     | —   | -0.25 | +0.25      | -0.25 | +0.25      | dB            |               |
| 绝对增益随温度变化 (相对于 $25^\circ\text{C}$ )   | 0 to + 70°C                           | —   | —     | $\pm 0.03$ | —     | $\pm 0.03$ | dB            |               |
|   | - 40 to + 85°C                        | —   | —     | $\pm 0.05$ | —     | $\pm 0.05$ | dB            |               |
| 绝对增益随电源的变化 ( $T_A = 25^\circ\text{C}$ )   | —                                     | —   | —     | $\pm 0.03$ | —     | $\pm 0.03$ | dB            |               |
| 增益 vs 音调 ( $\mu$ 律, 相对于 -10 dBm0, 1.02 kHz)   | + 3 to - 40 dBm0                      | —   | —     | -0.30      | +0.20 | -0.20      | +0.20         | dB            |
|   | - 40 to - 50 dBm0                     | —   | —     | -0.8       | +0.40 | -0.40      | +0.40         | dB            |
|   | - 50 to - 55 dBm0                     | —   | —     | -1.2       | +0.80 | -0.80      | +0.80         | dB            |
| 增益 vs 电平伪噪声, CCITT G.712<br>(A-Law, 相对于 -10 dBm0)   | - 10 to - 40 dBm0                     | —   | —     | -0.25      | +0.25 | -0.25      | +0.25         | dB            |
|   | - 40 to - 50 dBm0                     | —   | —     | -0.60      | +0.30 | -0.30      | +0.30         | dB            |
|   | - 50 to - 55 dBm0                     | —   | —     | -1.00      | +0.45 | -0.45      | +0.45         | dB            |
| 总失真, 1.02 kHz Tone ( $\mu$ 律, C-Message Weighting)  | + 3 dBm0                              | —   | —     | 34         | —     | 34         | —             | dBc           |
|   | 0 to - 30 dBm0                        | —   | —     | 36         | —     | 36         | —             | dBc           |
|   | - 40 dBm0                             | —   | —     | 30         | —     | 30         | —             | dBc           |
|   | - 45 dBm0                             | —   | —     | 25         | —     | 25         | —             | dBc           |
| 总失真, 伪随机噪声, CCITT G.714 (A律)  | - 3 dBm0                              | —   | —     | 30         | —     | 30         | —             | dB            |
|   | - 6 to - 27 dBm0                      | —   | —     | 36         | —     | 36         | —             | dB            |
|   | - 34 dBm0                             | —   | —     | 34         | —     | 35         | —             | dB            |
|   | - 40 dBm0                             | —   | —     | 29         | —     | 30         | —             | dB            |
|   | - 50 dBm0                             | —   | —     | 19         | —     | 20         | —             | dB            |
| - 55 dBm0   | —                                     | —   | 14    | —          | 15    | —          | dB            |               |
| 空闲信道噪声 (For End-to-End and A/D, See Note 1)<br>( $\mu$ -Law, C-Message Weighted<br>(A-Law, Psophometric Weighted) | —                                     | —   | —     | 17         | —     | 11         | dBm0p         |               |
|   | —                                     | —   | —     | -69        | —     | -79        | dBm0p         |               |
| 频率响应 (Relative to 1.02 kHz @ 0 dBm0)  | 15 Hz                                 | —   | —     | —          | -40   | -0.5       | 0             | dB            |
|   | 50 Hz                                 | —   | —     | —          | -30   | -0.5       | 0             | dB            |
|   | 60 Hz                                 | —   | —     | —          | -26   | -0.5       | 0             | dB            |
|   | 200 Hz                                | —   | —     | -1.0       | -0.4  | -0.5       | 0             | dB            |
|   | 300 to 3000 Hz                        | —   | —     | -0.20      | +0.15 | -0.15      | +0.15         | dB            |
|   | <b>3000 to 3200 Hz</b>                | —   | —     | -0.20      | +0.20 | -0.20      | +0.20         | dB            |
|   | 3300 Hz                               | —   | —     | -0.35      | +0.15 | -0.35      | +0.15         | dB            |
|   | 3400 Hz                               | —   | —     | -0.8       | —     | -0.85      | 0             | dB            |
|   | 4000 Hz                               | —   | —     | —          | -14   | —          | -14           | dB            |
|   | 4600 Hz to 100 kHz                    | —   | —     | —          | -32   | —          | 30            | dB            |
| 带内杂散 (1.02 kHz @ 0 dBm0, 接收和发送)   | 300 to <b>3400 Hz</b>                 | —   | -48   | —          | -48   | —          | -48           | dB            |
|   | 带外伪噪声RO+ (300 to 3400 Hz @ 0 dBm0 in) | —   | -30   | —          | —     | —          | -30           | dB            |
| 4600 to 7600 Hz   | —                                     | -40 | —     | —          | —     | -40        | dB            |               |
| 7600 to 8400 Hz   | —                                     | -40 | —     | —          | —     | -40        | dB            |               |
| 8400 to 100,000 Hz  | —                                     | -30 | —     | —          | —     | -30        | dB            |               |
| Idle Channel Noise Selective (8 kHz, Input = $V_{AG}$ , 30 Hz Bandwidth)  | —                                     | -70 | —     | —          | —     | -70        | dBm0          |               |
| 绝对延时 (1600 Hz)  | —                                     | —   | —     | 315        | —     | 205        | $\mu\text{s}$ |               |
| 组延迟以1600 Hz为参考  | 500 to 600 Hz                         | —   | —     | —          | 210   | -40        | —             | $\mu\text{s}$ |
|   | 600 to 800 Hz                         | —   | —     | —          | 130   | -40        | —             | $\mu\text{s}$ |
|   | 800 to 1000 Hz                        | —   | —     | —          | 70    | -40        | —             | $\mu\text{s}$ |
|   | 1000 to 1600 Hz                       | —   | —     | —          | 35    | -30        | —             | $\mu\text{s}$ |
|   | 1600 to 2600 Hz                       | —   | —     | —          | 70    | —          | 85            | $\mu\text{s}$ |
|   | 2600 to 2800 Hz                       | —   | —     | —          | 95    | —          | 110           | $\mu\text{s}$ |
| 2800 to 3000 Hz   | —                                     | —   | —     | 145        | —     | 175        | $\mu\text{s}$ |               |
| 1020 Hz时的串扰 @ 0 dBm0 from A/D or D/A (Note 2)   | —                                     | —   | —     | -75        | —     | -75        | dB            |               |
| 两个振幅频率的互调失真<br>(-4 至 -21 dBm0 从 300 至 3400 Hz)  | —                                     | -41 | —     | -41        | —     | -41        | dB            |               |

注:

1. 从1020hz @ -50dbm0失真测量外推, 以增强校正编码器。
2. 在2667 Hz @ -50 dBm0的条件下进行选择测量。

**数字转换特性，长帧同步和短帧同步**

 (V<sub>DD</sub> = +5 V ± 5%, V<sub>SS</sub> = 0 V, 所有数字信号参考VSS, T<sub>A</sub> = -40 to +85°C, C<sub>L</sub> = 150 pF, 除非另外注明)

| Ref. No.    | 特征                                     | 最小 | 典型   | 最大   | 单位  |
|-------------|--|----|--|------|-----|
| 1           | MCLK的主时钟频率                             | —  | 256<br>512<br>1536<br>1544<br>2048<br>2560<br>4096 | —    | kHz |
| 1           | 256kHz时MCLK的占空比                        | 45 | —  | 55   | %   |
| 2           | MCLK的最小高脉冲宽度(频率为512 kHz或更高)            | 50 | —  | —    | ns  |
| 3           | MCLK的最小低脉冲宽度(频率为512 kHz或更高)            | 50 | —  | —    | ns  |
| 4           | 所有数字信号的上升时间                            | —  | —  | 50   | ns  |
| 5           | 所有数字信号的下降时间                            | —  | —  | 50   | ns  |
| 6           | 从MCLK低到FST高的建立时间                       | 50 | —  | —    | ns  |
| 7           | 从FST高到MCLK低的建立时间                       | 50 | —  | —    | ns  |
| 8           | BCLKT或BCLKR的比特时钟数据速率                   | 64 | —  | 4096 | kHz |
| 9           | BCLKT或BCLKR的最小高脉宽                      | 50 | —  | —    | ns  |
| 10          | BCLKT或BCLKR的最小低脉宽                      | 50 | —  | —    | ns  |
| 11          | 从BCLKT (BCLKR)低到FST (FSR)高的保持时间        | 20 | —  | —    | ns  |
| 12          | 从FST (FSR)高到BCLKT (BCLKR)低的建立时间        | 80 | —  | —    | ns  |
| 13          | 从收到DR到BCLKR 低的建立时间                     | 0  | —  | —    | ns  |
| 14          | 从收到DR到BCLKR 低的保持时间                     | 50 | —  | —    | ns  |
| <b>长帧时序</b> |  |    |  |      |     |
| 15          | 从BCLKT (BCLKR)低位到FST (FSR)低位的第二个周期保持时间 | 50 | —  | —    | ns  |
| 16          | 从FST或BCLKT(以较晚者为准)到DT上收到有效MSB数据的延迟时间   | —  | —  | 60   | ns  |
| 17          | 从BCLKT High到DT收到有效地段落码和段内码的延迟时间        | —  | —  | 60   | ns  |
| 18          | 从第8个 BCLKT下降沿或FST下降沿到DT输出高阻抗的延迟时间      | 10 | —  | 60   | ns  |
| 19          | FST 或 FSR 最小低脉冲宽度                      | 50 | —  | —    | ns  |
| <b>短帧时序</b> |  |    |  |      |     |
| 20          | 从BCLKT (BCLKR)低到FST (FSR)低的保持时间        | 50 | —  | —    | ns  |
| 21          | 从FST (FSR) 低到主时钟 (BCLKR) 低的建立时间        | 50 | —  | —    | ns  |
| 22          | 从BCLKT高到DT数据有效延迟时间                     | 10 | —  | 60   | ns  |
| 23          | 从第8个BCLKT低到DT输出高阻抗的延迟时间                | 10 | —  | 60   | ns  |

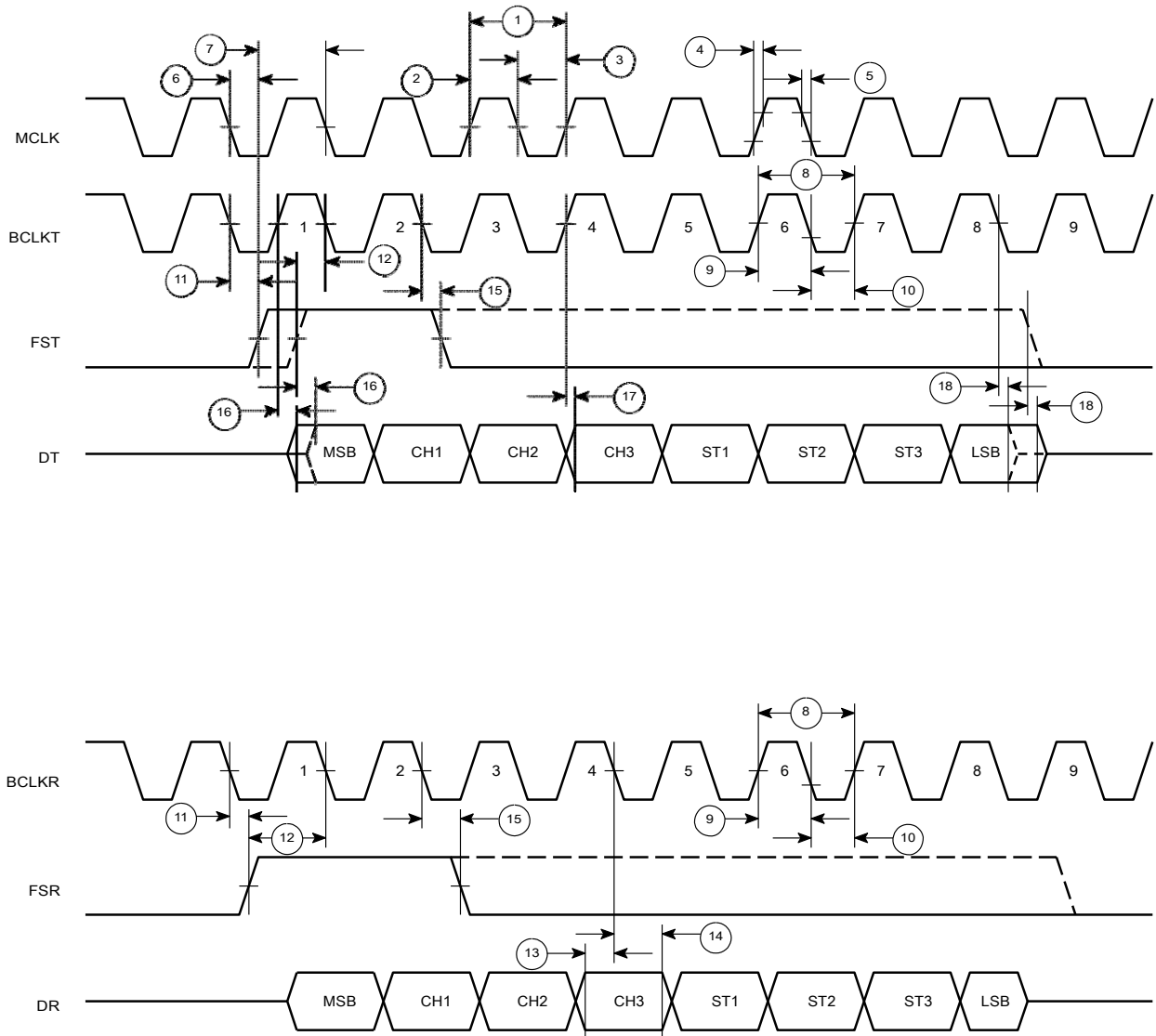


图 3. 长帧同步时序

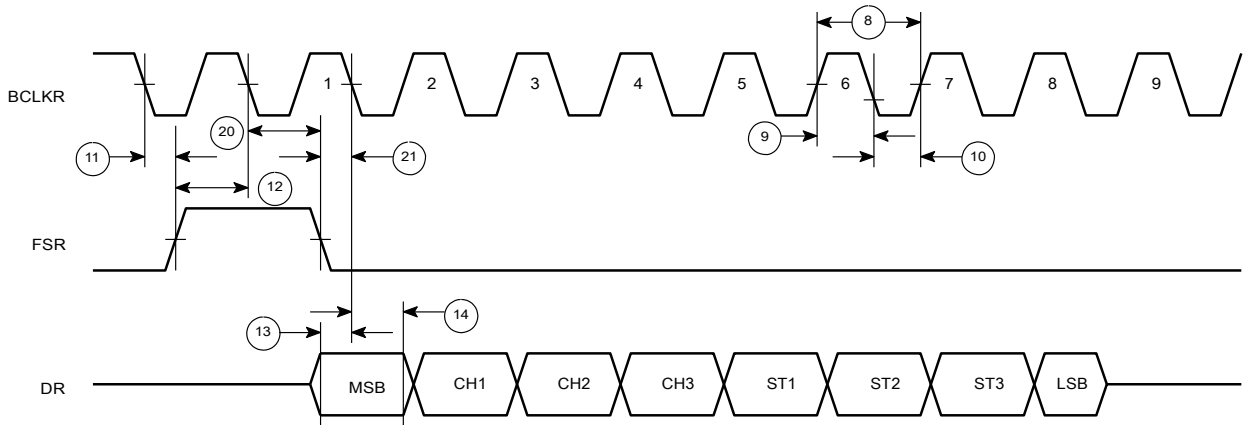
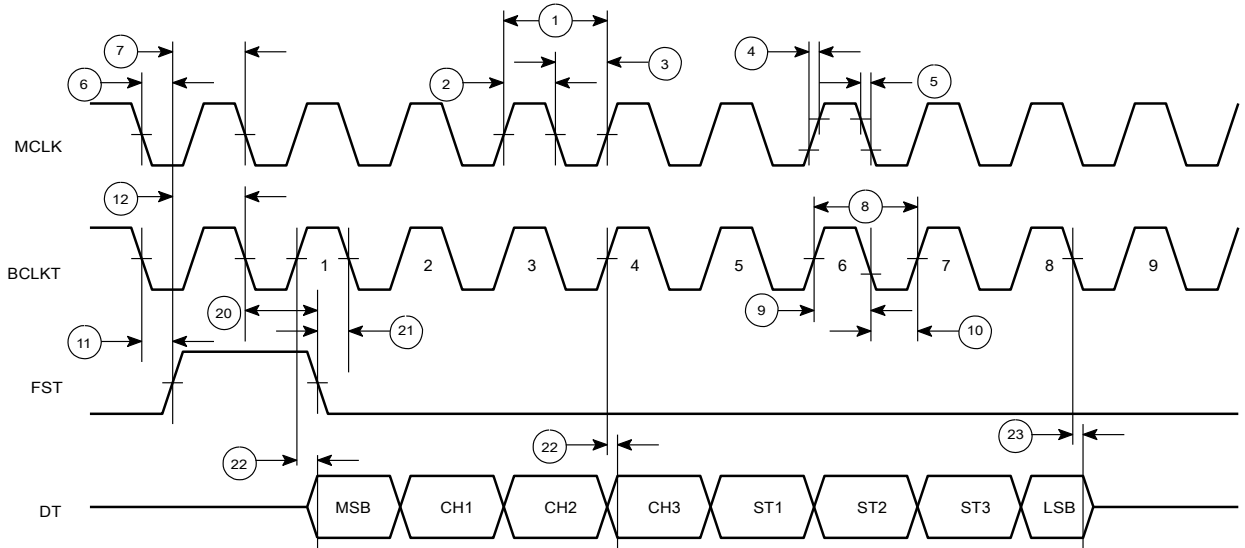


图 4. 短帧同步时序

**空载模式的数字切换特性**

( $V_{DD} = 5.0 V \pm 5\%$ ,  $T_A = -40$  to  $+85^\circ C$ ,  $C_L = 150$  pF, 见图5和注1)

| 编号 | 特征描述                             | 最小  | 最大   | 单位  |
|----|----------------------------------|-----|------|-----|
| 31 | 连续IDL同步的时间间隔                     | 注2  |      |     |
| 32 | IDL CLK下降沿后的IDL同步保持时间            | 20  | —    | ns  |
| 33 | 下降沿IDL CLK前IDL同步建立时间             | 60  | —    | ns  |
| 34 | IDL的时钟频率                         | 256 | 4096 | kHz |
| 35 | IDL时钟脉宽高                         | 50  | —    | ns  |
| 36 | IDL时钟脉宽低                         | 50  | —    | ns  |
| 37 | IDL CLK下降沿前到IDL RX有效数据时间         | 20  | —    | ns  |
| 38 | IDL CLK下降沿后到IDL RX有效数据时间         | 75  | —    | ns  |
| 39 | IDL CLK下降沿到IDL TX为 High-Z        | 10  | 50   | ns  |
| 40 | IDL CLK上升沿 到IDL TX为 Low-Z和数据有效时间 | 10  | 60   | ns  |
| 41 | IDL CLK上升沿 到IDL TX数据有效时间         | —   | 50   | ns  |

注:

1. 从逻辑信号达到保证的最小或最大逻辑电平的点开始进行测量。
2. 在IDL模式下, B1通道同时访问发送和接收8位PCM字, 或者B2通道同时访问发送和接收8位PCM字, 如图5所示。IDL访问的频率必须为 8 kHz(125  $\mu$ s间隔)。

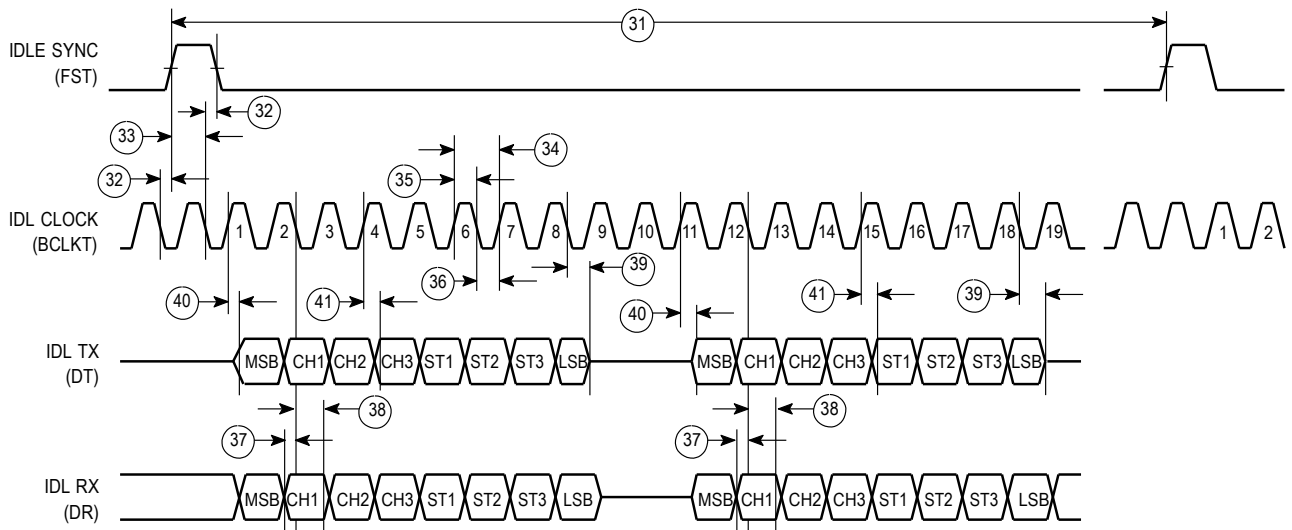


图 5. IDL 接口时序

### DIGITAL SWITCHING CHARACTERISTICS FOR GCI MODE

( $V_{DD} = 5.0\text{ V} \pm 5\%$ ,  $T_A = -40$  to  $+85^\circ\text{C}$ ,  $C_L = 150\text{ pF}$ , See Figure 6 and Note 1)

| 编号 | 特征描述                            | 最小  | 典型   | 单位  |
|----|---------------------------------|-----|------|-----|
| 42 | 连续FSC脉冲之间的时间                    | 注 2 |      |     |
| 43 | DCL时钟频率                         | 512 | 6176 | kHz |
| 44 | 时钟脉宽高                           | 50  | —    | ns  |
| 45 | 时钟脉宽低                           | 50  | —    | ns  |
| 46 | DCL下降沿后FSC保持时间                  | 20  | —    | ns  |
| 47 | FSC到DCL下降沿的建立时间                 | 60  | —    | ns  |
| 48 | DCL上升沿(FSC上升沿后)到低阻抗和Dout的有效数据时间 | —   | 60   | ns  |
| 49 | FSC上升沿(DCL高时)到低阻抗和Dout的有效数据时间   | —   | 60   | ns  |
| 50 | DCL到Dout有效数据的上升沿                | —   | 60   | ns  |
| 51 | LSB到Dout高阻抗过程中的第二DCL下降沿时间       | 10  | 50   | ns  |
| 52 | DCL上升沿之前的Din建立时间                | 20  | —    | ns  |
| 53 | DCL上升沿后Din保持时间                  | —   | 60   | ns  |

注:

1. 从逻辑信号达到保证的最小或最大逻辑电平的点开始进行测量。
2. 在GCI模式下，发送和接收8位PCM字都在B1通道被访问，或者发送和接收8位PCM字都在B2通道被访问，如图6所示。GCI访问必须以8 kHz(125  $\mu\text{s}$ 间隔)的速率发生。

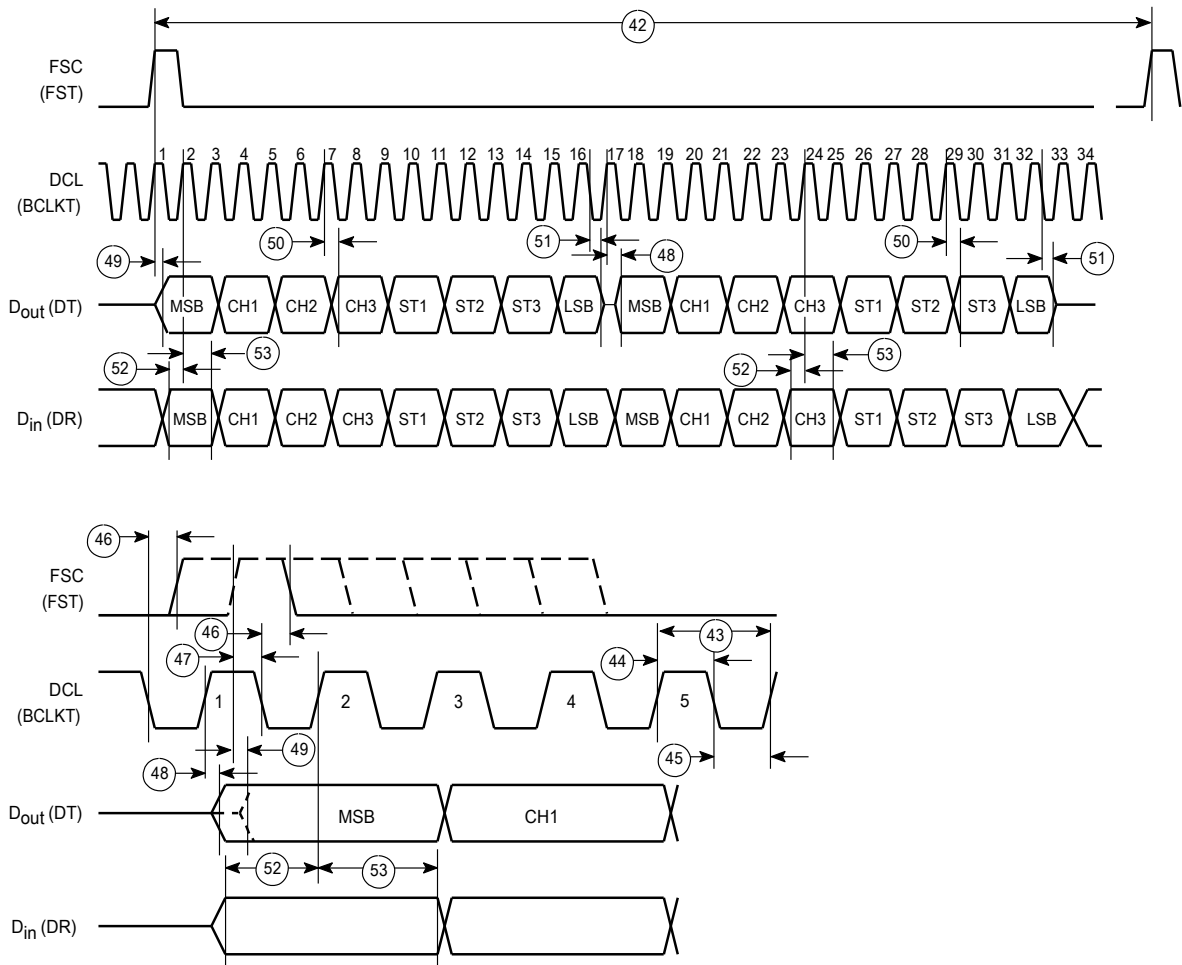


图 6. GCI 接口时序

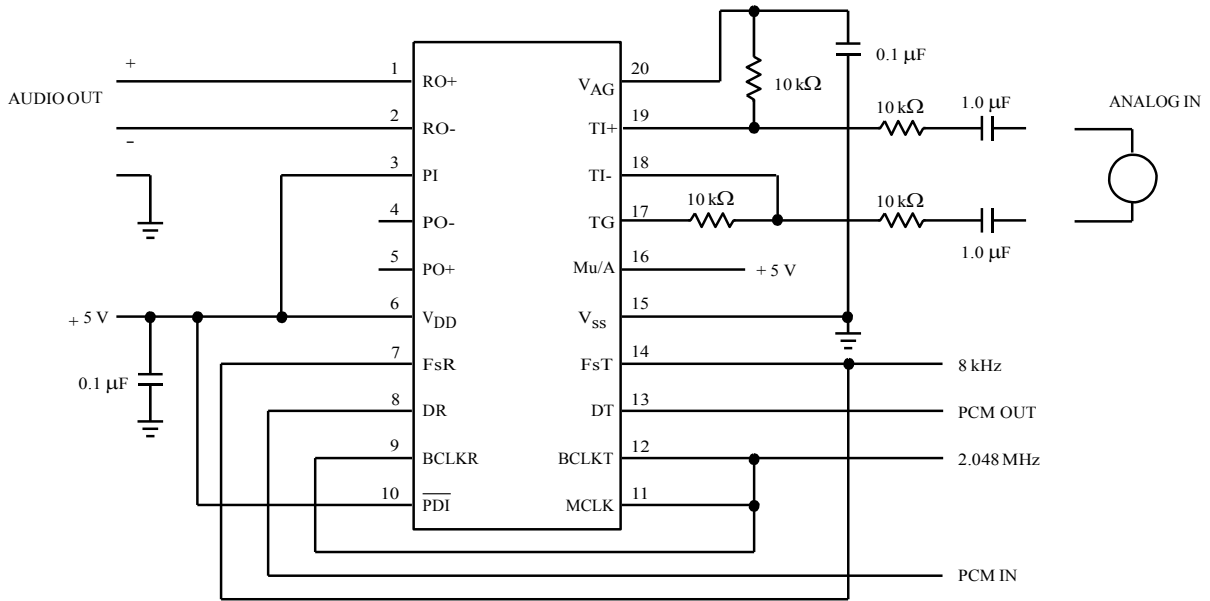


图 7. SE681512A使用差分输入和输出测试电路

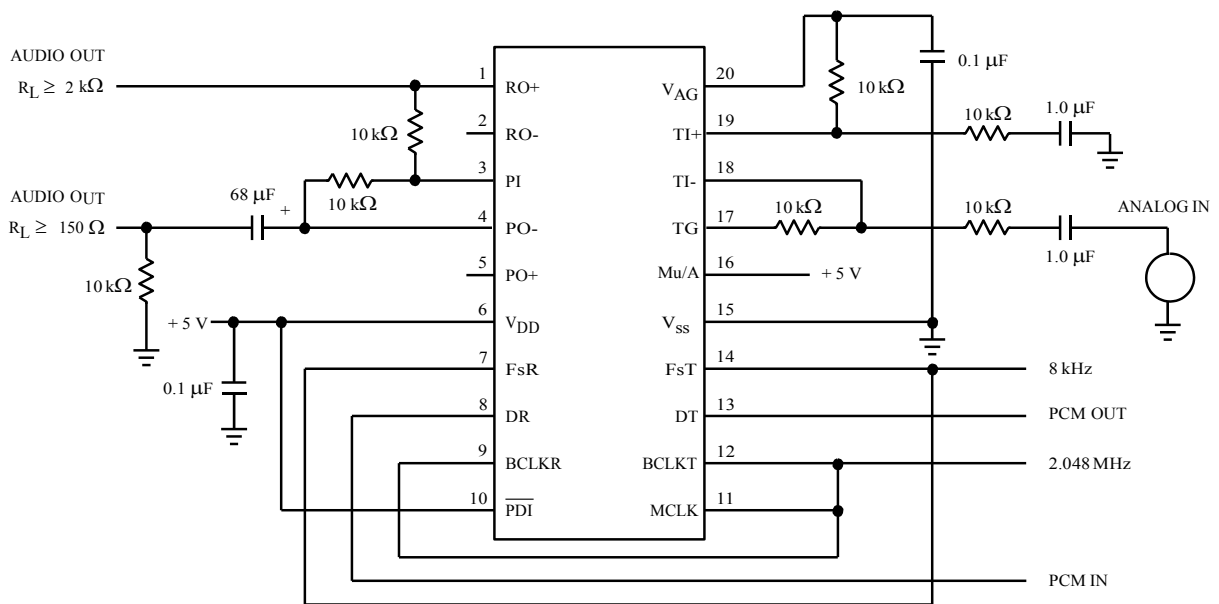


图 8. SE681512A输入和输出参照VSS的测试电路

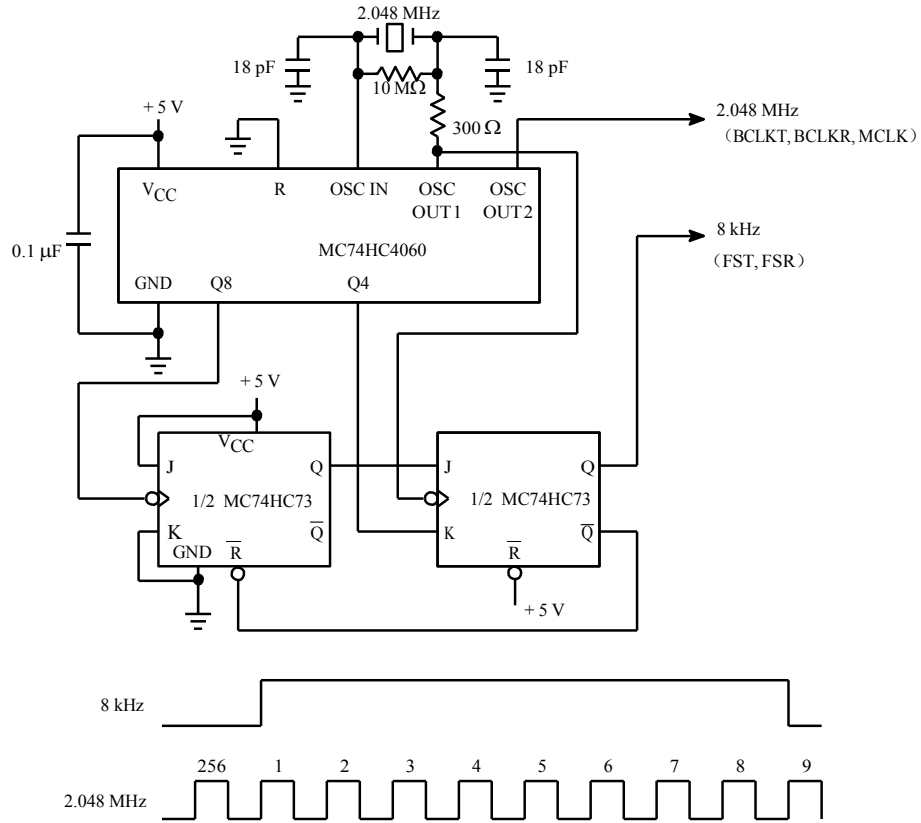


Figure 9. 长帧同步时钟 2.048 MHz

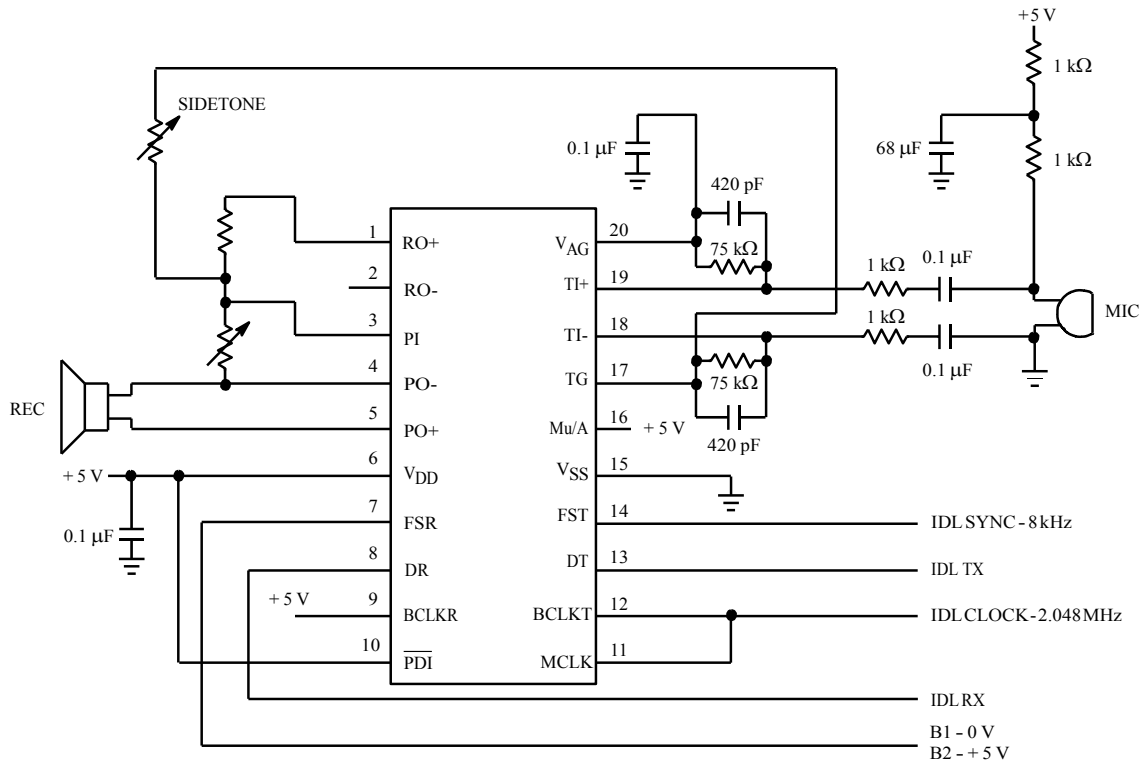


Figure 10. SE681512A模拟接口到手持设备应用IDL时钟

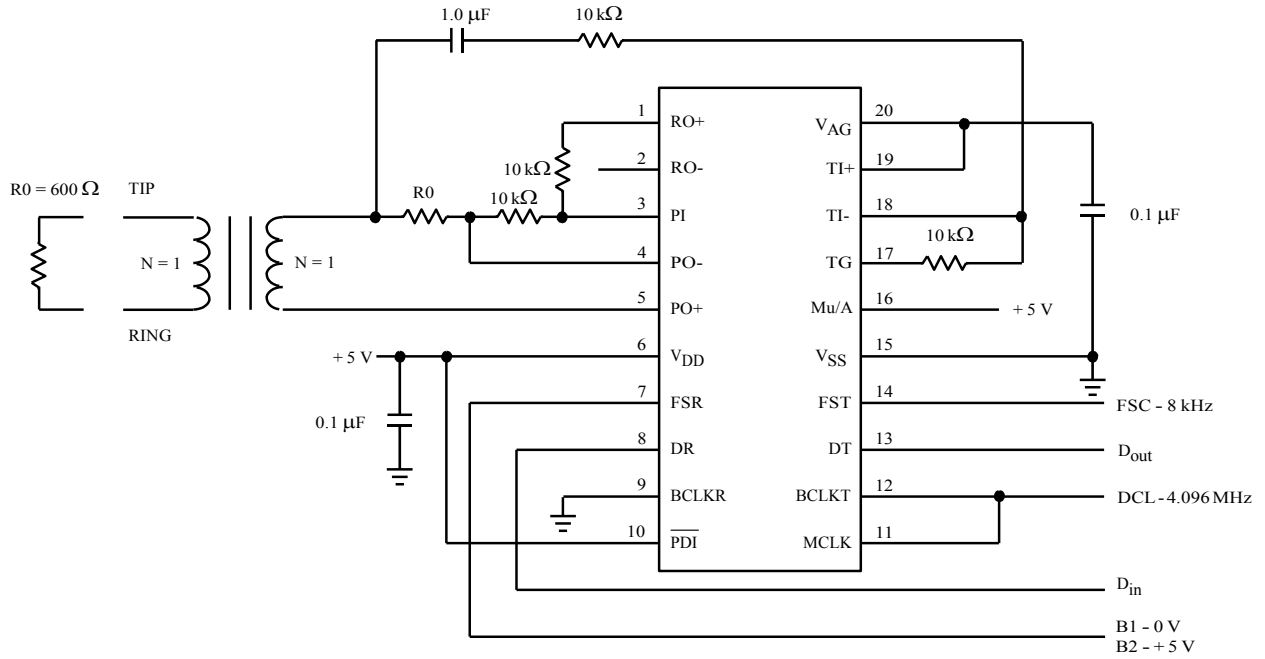


图 11. SE681512A变压器接口到600Ω电话线应用GCI时钟

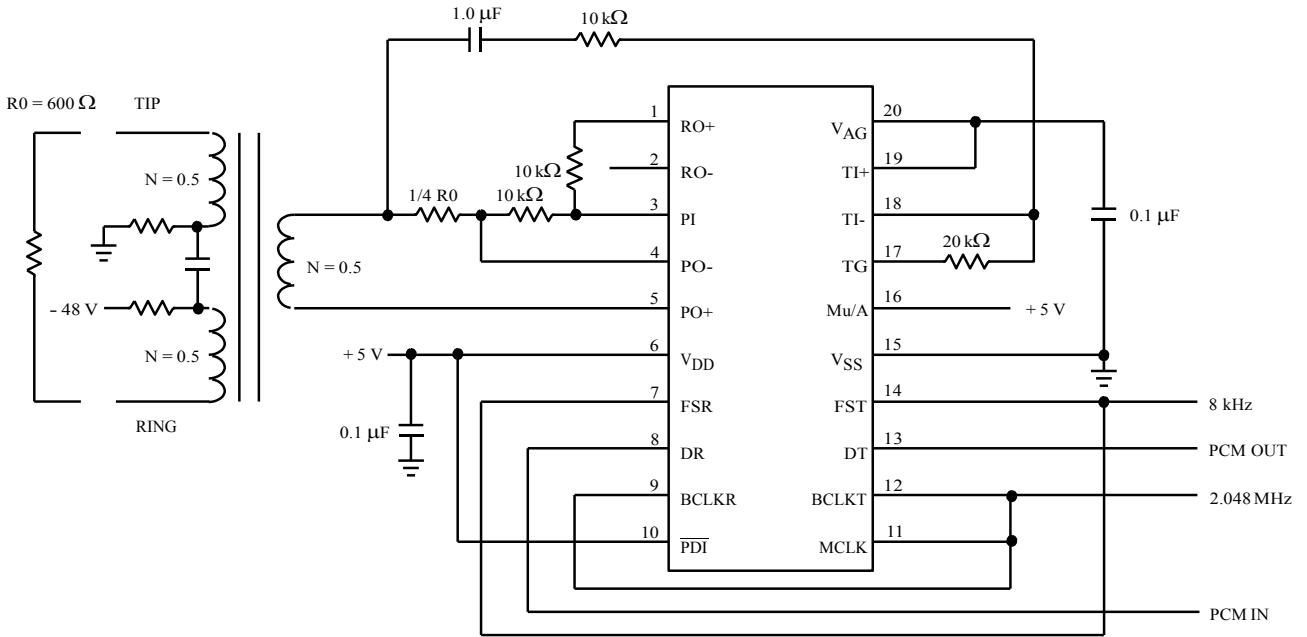


图 12. SE681512A升压变压器接口到600Ω电话线

**Table 3.  $\mu$ 律编解码表**

| 段落号 | 段长 | 段内量化间隔 | 归一化编码<br>量化范围 | Digital Code |     |     |     |     |     |     |     | 规一化<br>解码 |      |
|-----|----|--------|---------------|--------------|-----|-----|-----|-----|-----|-----|-----|-----------|------|
|     |    |        |               | 1            | 2   | 3   | 4   | 5   | 6   | 7   | 8   |           |      |
|     |    |        |               | 极性码          | 段落码 | 段落码 | 段落码 | 段内码 | 段内码 | 段内码 | 段内码 |           |      |
| 8   | 16 | 256    | 8159          | 1            | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0         | 8031 |
|     |    |        | 7903          | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | 4319          | 1            | 0   | 0   | 0   | 1   | 1   | 1   | 1   | 4191      |      |
| 7   | 16 | 128    | 4063          | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | 2143          | 1            | 0   | 0   | 1   | 1   | 1   | 1   | 1   | 2079      |      |
|     |    |        | 2015          | ∴            |     |     |     |     |     |     |     | ∴         |      |
| 6   | 16 | 64     | 1055          | 1            | 0   | 1   | 0   | 1   | 1   | 1   | 1   | 1023      |      |
|     |    |        | 991           | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | 511           | 1            | 0   | 1   | 1   | 1   | 1   | 1   | 1   | 495       |      |
| 5   | 16 | 32     | 479           | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | 239           | 1            | 1   | 0   | 0   | 1   | 1   | 1   | 1   | 231       |      |
|     |    |        | 223           | ∴            |     |     |     |     |     |     |     | ∴         |      |
| 4   | 16 | 16     | 103           | 1            | 1   | 0   | 1   | 1   | 1   | 1   | 1   | 99        |      |
|     |    |        | 95            | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | 35            | 1            | 1   | 1   | 0   | 1   | 1   | 1   | 1   | 33        |      |
| 3   | 16 | 8      | 31            | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | ∴             | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | 3             | 1            | 1   | 1   | 1   | 1   | 1   | 1   | 0   | 2         |      |
| 2   | 16 | 4      | 1             | 1            | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 0         |      |
|     |    |        | ∴             | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | 1             | 1            | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 0         |      |
| 1   | 15 | 2      | 0             | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | ∴             | ∴            |     |     |     |     |     |     |     | ∴         |      |
|     |    |        | 0             | 1            | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 0         |      |

注:

1. 编码以模拟零对称, 并且 sign bit = 0表示负的模拟值
2. Digital code includes inversion of all magnitude bits.

**Table 4. A-Law Encode-Decode Characteristics**

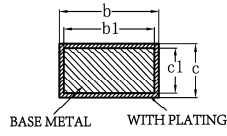
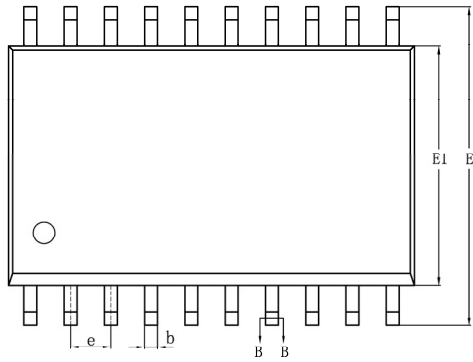
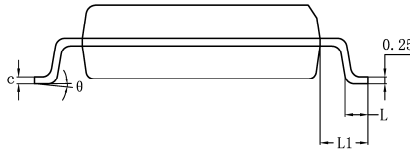
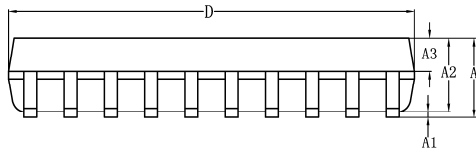
| 段落号 | 段长 | 段内量化间隔 | 归一化编码<br>量化范围 | Digital Code |     |     |     |     |     |     |     | 规一化<br>解码 |      |
|-----|----|--------|---------------|--------------|-----|-----|-----|-----|-----|-----|-----|-----------|------|
|     |    |        |               | 1            | 2   | 3   | 4   | 5   | 6   | 7   | 8   |           |      |
|     |    |        |               | 极性码          | 段落码 | 段落码 | 段落码 | 段内码 | 段内码 | 段内码 | 段内码 |           |      |
|     |    |        | 4096          |              |     |     |     |     |     |     |     |           |      |
| 7   | 16 | 128    | 3968          | 1            | 0   | 1   | 0   | 1   | 0   | 1   | 0   |           | 4032 |
|     |    |        | ∴             |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | 2176          | 1            | 0   | 1   | 0   | 0   | 1   | 0   | 1   |           | 2112 |
| 6   | 16 | 64     | 2048          |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | ∴             |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | 1088          | 1            | 0   | 1   | 1   | 0   | 1   | 0   | 1   |           | 1056 |
| 5   | 16 | 32     | 1024          |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | ∴             |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | 544           | 1            | 0   | 0   | 0   | 0   | 1   | 0   | 1   |           | 528  |
| 4   | 16 | 16     | 512           |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | ∴             |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | 272           | 1            | 0   | 0   | 1   | 0   | 1   | 0   | 1   |           | 264  |
| 3   | 16 | 8      | 256           |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | ∴             |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | 136           | 1            | 1   | 1   | 0   | 0   | 1   | 0   | 1   |           | 132  |
| 2   | 16 | 4      | 128           |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | ∴             |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | 68            | 1            | 1   | 1   | 1   | 0   | 1   | 0   | 1   |           | 66   |
| 1   | 32 | 2      | 64            |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | ∴             |              |     |     |     |     |     |     |     |           | ∴    |
|     |    |        | 2             | 1            | 1   | 0   | 1   | 0   | 1   | 0   | 1   |           | 1    |
|     |    |        | 0             |              |     |     |     |     |     |     |     |           |      |

**NOTES:**

1. 编码以模拟零对称，并且 sign bit = 0表示负的模拟值.
2. Digital code includes inversion of all even numbered bits.

**PACKAGE DIMENSIONS**

**SOP20L**



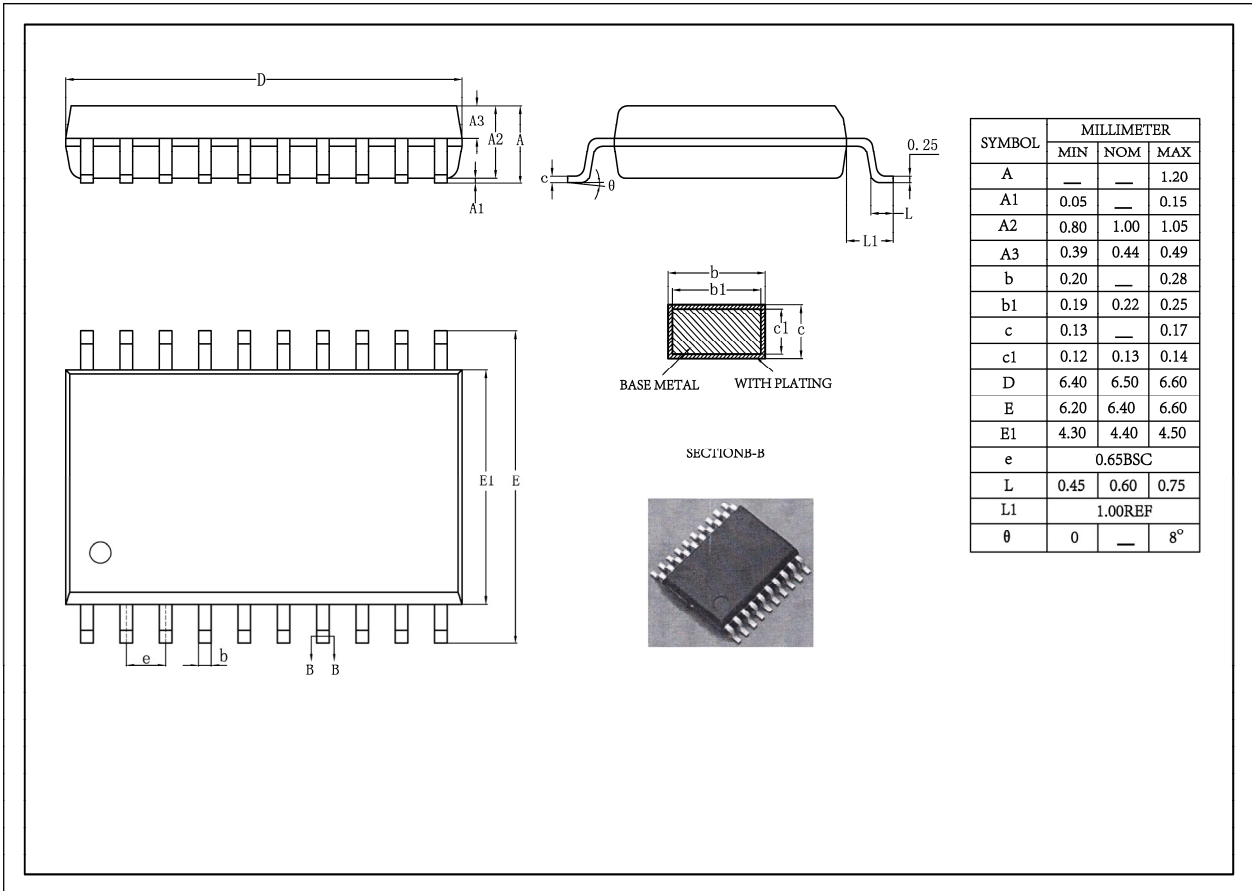
SECTION B-B



| SYMBOL   | MILLIMETER |       |       |
|----------|------------|-------|-------|
|          | MIN        | NOM   | MAX   |
| A        | —          | —     | 2.65  |
| A1       | 0.10       | —     | 0.30  |
| A2       | 2.25       | 2.30  | 2.35  |
| A3       | 0.97       | 1.02  | 1.07  |
| b        | 0.39       | —     | 0.47  |
| b1       | 0.38       | 0.41  | 0.44  |
| c        | 0.25       | —     | 0.29  |
| c1       | 0.24       | 0.25  | 0.26  |
| D        | 12.70      | 12.80 | 12.90 |
| E        | 10.10      | 10.30 | 10.50 |
| E1       | 7.40       | 7.50  | 7.60  |
| e        | 1.27BSC    |       |       |
| L        | 0.70       | —     | 1.00  |
| L1       | 1.00REF    |       |       |
| $\theta$ | 0          | —     | 8°    |

**PACKAGE DIMENSIONS**

# TSSOP20



| SYMBOL   | MILLIMETER |      |      |
|----------|------------|------|------|
|          | MIN        | NOM  | MAX  |
| A        | —          | —    | 1.20 |
| A1       | 0.05       | —    | 0.15 |
| A2       | 0.80       | 1.00 | 1.05 |
| A3       | 0.39       | 0.44 | 0.49 |
| b        | 0.20       | —    | 0.28 |
| b1       | 0.19       | 0.22 | 0.25 |
| c        | 0.13       | —    | 0.17 |
| c1       | 0.12       | 0.13 | 0.14 |
| D        | 6.40       | 6.50 | 6.60 |
| E        | 6.20       | 6.40 | 6.60 |
| E1       | 4.30       | 4.40 | 4.50 |
| e        | 0.65BSC    |      |      |
| L        | 0.45       | 0.60 | 0.75 |
| L1       | 1.00REF    |      |      |
| $\theta$ | 0          | —    | 8°   |

